

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-265253

(P2001-265253A)

(43)公開日 平成13年9月28日 (2001.9.28)

(51)Int.Cl.⁷

G 0 9 F 9/30
G 0 2 F 1/1368
H 0 1 L 29/786

識別記号

3 3 8

F I

G 0 9 F 9/30 3 3 8 2 H 0 9 2
G 0 2 F 1/1368 5 0 0 5 C 0 9 4
H 0 1 L 29/786 6 1 2 C 5 F 1 1 0
6 1 9 B

テーマコード(参考)

審査請求 未請求 請求項の数16 OL (全 15 頁)

(21)出願番号

特願2000-77177(P2000-77177)

(22)出願日

平成12年3月17日 (2000.3.17)

(71)出願人 000002369

セイコーホームズ株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコ
ーホームズ株式会社内

(74)代理人 100095728

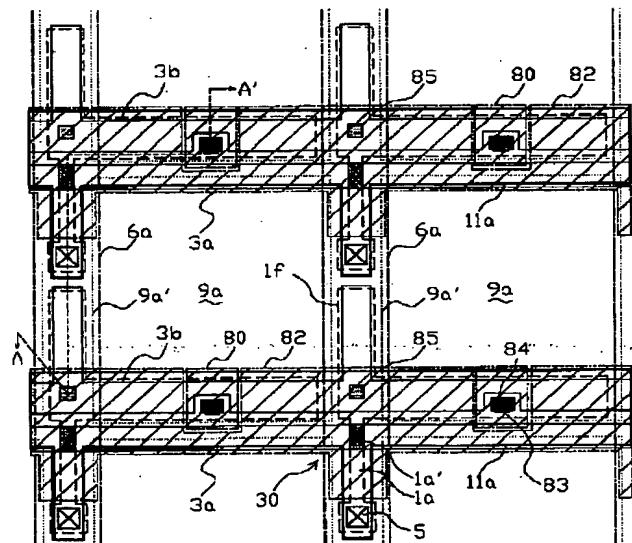
弁理士 上柳 雅善 (外1名)

(54)【発明の名称】 電気光学装置

(57)【要約】

【課題】 電気光学装置において、画素開口率を高めると同時に容量線の低抵抗化を図り、クロストークやゴーストを低減して高品位の画像表示を行う。

【解決手段】 電気光学装置は、TFTアレイ基板(10)上に、画素電極(9a)と、画素電極をスイッチング制御するTFT(30)と、このTFTに接続された走査線(3a)と、蓄積容量(70)を附加するための第2容量線(3b)とを備える。画素電極とTFTとを中継接続するバリア層(80)と、このバリア層と同一膜からなる第1容量線(82)とを更に備える。



(2)

2

【特許請求の範囲】

【請求項 1】 基板上に、
薄膜トランジスタと、
画素電極と、
該画素電極と前記薄膜トランジスタを構成する半導体層とを中継接続する中間導電層と、
前記薄膜トランジスタに接続された走査線と、
該走査線と交差すると共に前記薄膜トランジスタに接続されたデータ線と、
前記半導体層と同層からなる第 1 容量電極に絶縁薄膜を介して対向配置された第 2 容量電極と、
前記中間導電層と同一膜からなり、前記第 2 容量電極と接続された第 1 容量線とを備えたことを特徴とする電気光学装置。

【請求項 2】 前記第 2 容量電極と前記走査線とは、同一導電膜からなることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】 前記第 1 容量線と前記第 2 容量電極との間には、第 1 層間絶縁膜が形成されており、
前記第 1 容量線と前記第 2 容量電極とは、前記画素電極毎に前記第 1 層間絶縁膜に開孔されたコンタクトホールを介して接続されていることを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 4】 前記第 1 容量線と前記第 2 容量電極との間には、第 1 層間絶縁膜が形成されており、
前記第 1 容量線と前記第 2 容量電極とは、複数の画素電極毎に前記第 1 層間絶縁膜に開孔されたコンタクトホールを介して接続されていることを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 5】 前記中間導電層及び前記第 1 容量線は、前記第 1 層間絶縁膜を介して前記走査線の上方且つ第 2 層間絶縁膜を介して前記データ線の下方の積層位置に形成されていることを特徴とする請求項 1 から 4 のいずれか一項に記載の電気光学装置。

【請求項 6】 前記第 1 容量線と前記第 2 容量電極とは、前記第 1 層間絶縁膜に開孔されたコンタクトホールを介して接続されており、
前記コンタクトホールは、平面的に見て前記データ線の形成された領域内に位置することを特徴とする請求項 5 に記載の電気光学装置。

【請求項 7】 前記第 1 容量線は、平面的に見て少なくとも部分的に前記走査線に重ねられており、前記走査線に沿って前記画素電極が配置された画像表示領域からその周囲に延設されていることを特徴とする請求項 1 から 6 のいずれか一項に記載の電気光学装置。

【請求項 8】 前記第 1 容量線は、平面的に見て少なくとも部分的に前記第 2 容量電極に重ねられており、前記走査線方向に沿って前記画像表示領域からその周囲に延設されていることを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

【請求項 9】 前記中間導電層及び前記第 1 容量線は、遮光性の導電膜からなり、
前記第 1 容量線は、平面的に見て前記半導体層の少なくともチャネル領域を覆うことを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置。

【請求項 10】 前記中間導電層は、多層膜からなることを特徴とする請求項 1 から 9 のいずれか一項に記載の電気光学装置。

【請求項 11】 前記第 1 層間絶縁膜の膜厚は、500 nm 以上であることを特徴とする請求項 1 から 10 のいずれか一項に記載の電気光学装置。

【請求項 12】 前記第 1 層間絶縁膜の膜厚は、500 nm 以下であり、平面的に見て少なくとも前記半導体層のチャネル領域及びその隣接領域には、前記第 1 容量線は重ねられていないことを特徴とする請求項 1 から 10 のいずれか一項に記載の電気光学装置。

【請求項 13】 前記基板上に、前記中間導電層及び前記第 1 容量線と同一膜からなり前記第 1 層間絶縁膜を介して前記容量線と対向配置された第 3 容量電極を更に備えたことを特徴とする請求項 1 から 12 のいずれか一項に記載の電気光学装置。

【請求項 14】 前記第 2 容量電極は、前記走査線に沿って前記画像表示領域からその周囲に延設されてなる第 2 容量線からなり、前記第 2 容量線は前記第 1 容量線と接続されてなることを特徴とする請求項 1 から 13 のいずれか一項に記載の電気光学装置。

【請求項 15】 前記基板上に、少なくとも前記半導体層のチャネル領域を前記基板側から見て覆う遮光膜を更に備えたことを特徴とする請求項 1 から 14 のいずれか一項に記載の電気光学装置。

【請求項 16】 前記遮光膜は、前記画素電極毎に前記第 1 容量線と接続され、前記画像表示領域からその周囲に延設されて定電位源に接続されてなることを特徴とする請求項 1 から 15 のいずれか一項に記載の電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アクティブマトリクス駆動方式の電気光学装置の技術分野に属し、特に画素電極に対し蓄積容量を付加するための容量線を備えると共に画素電極と画素スイッチング用の薄膜トランジスタ (Thin Film Transistor: 以下適宜、TFT と称す) との間で、電気導通を良好にとるための中間導電層を基板上の積層構造中に備えた形式の電気光学装置の技術分野に属する。

【0002】

【背景技術】 従来、TFT 駆動によるアクティブマトリクス駆動方式の電気光学装置において、TFT のゲート電極に走査線を介して走査信号が供給されると、TFT はオン状態とされ、半導体層のソース領域にデータ線を

(3)

3

介して供給される画像信号が当該TFTを介して画素電極に供給される。このような画像信号の供給は、画素電極毎に極めて短時間しか行われないので、画像信号の電圧をオン状態とされた時間よりも遙かに長時間に亘って保持するために、各画素電極には蓄積容量が付加されるのが一般的である。

【0003】他方、この種の電気光学装置では、画素電極を構成するITO (Indium Tin Oxide) 膜等の導電膜と画素スイッチング用のTFTを構成する半導体層との間には、走査線、データ線等を構成する各種導電膜及びこれらの導電膜を相互から電気的に絶縁するためのゲート絶縁膜や層間絶縁膜が複数積層されており、これらの画素電極と半導体層との間の距離は例えば1000 nm程度に長い。従って、これらの画素電極と半導体層とを一つのコンタクトホールによって電気的に接続するのは技術的に困難である。そこで、層間絶縁膜間に画素電極と半導体層とを電気的に接続する中間導電層を形成する技術が開発されている。また、このような中間導電層を用いれば、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つとされている。

【0004】

【発明が解決しようとする課題】この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画素ピッチを微細化しつつ、画素開口率を高める（即ち、各画素において、表示光が透過する開口領域を広げる）と同時に、データ線、走査線、容量線等の各種配線の配線抵抗を低くすることが重要となる。

【0005】しかしながら、微細ピッチな画素の高開口率化により、データ線や走査線の線幅自体も狭められることになるが、(i)走査線や容量線を形成後に高温の熱処理工程が必要なこと、(ii)走査線は、薄膜トランジスタのゲート電極としても使用されることなどを理由に、走査線や容量線は導電性のポリシリコン膜から一般に形成されている。従って、このように微細ピッチな画素の高開口率化に伴い走査線幅や容量線幅が狭められたり、高精細化に伴い駆動周波数が高められたりすると、容量線における時定数の大きさが問題となってくる。即ち、容量線の配線抵抗により走査線に沿った方向である横方向のクロストークやゴーストの発生、コントラスト比の低下等の表示画像の画質劣化が、画素の高開口率化に伴って顕在化してくるという問題点がある。

【0006】本発明は上述の問題点に鑑みなされたものであり、画素開口率を高めると同時に容量線の低抵抗化を図ることができ、クロストークやゴーストが低減された高品位の画像表示が可能な電気光学装置を提供することを課題とする。

【0007】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、基板上に、薄膜トランジス

(4)

4

タと、画素電極と、該画素電極と前記薄膜トランジスタを構成する半導体層とを中継接続する中間導電層と、前記薄膜トランジスタに接続された走査線と、該走査線と交差すると共に前記薄膜トランジスタに接続されたデータ線と、前記半導体層と同層なる第1容量電極に絶縁薄膜を介して対向配置された第2容量電極と、前記中間導電層と同一膜からなり、前記第2容量電極と接続された前記第1容量線とを備える。

【0008】本発明の電気光学装置によれば、その動作時に、データ線及び走査線を介して画像信号及び走査信号が薄膜トランジスタに夫々供給されて、各画素電極が駆動される。この際、第1容量電極と第2容量電極とが絶縁薄膜を介して対向配置されることにより構築された蓄積容量により、画素電極における画像信号の電圧保持特性が格段に向上するので、当該電気光学装置によるコントラスト比を高めることが可能となる。

【0009】本発明では、半導体層と画素電極とは、中間導電層により中継接続されているので、両者間にある走査線、データ線、層間絶縁膜等の合計膜厚が大きくて

20 20も、両者間を比較的小径の2つのコンタクトホールによって良好に接続することが可能となり、画素開口率の向上にも繋がる。しかも、このような中間導電層を用いれば、中間導電層と画素電極を接続するためのコンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。ここで、中間導電層と同一膜で第2容量電極に接続された第1容量線が設けられているので、容量線の低抵抗化を図ることができる。これにより、走査線と同一膜で容量線を形成する必要がなく、別層で第1容量線を形成するので、画素ピッチが微細化しても画素開口率を30 30向上することができる。また、配線幅も太く形成できるので、容量線の低抵抗化が図れ、クロストークやゴーストを効果的に低減することができる。これにより、画素ピッチを微細化しつつ表示品位を向上できる。しかも、上述の如き中継機能等を持つ中間導電層と同一膜から、このような第1容量線を構成できるので、製造プロセスにおいて容量線を形成するための追加工程が不要であり、大変有利である。

【0010】本発明の電気光学装置の一の態様では、前記第2容量電極と前記走査線とは、同一導電膜からなる。

【0011】この態様によれば、第2容量電極と走査線とは、例えばポリシリコン膜等の同一導電膜からなり、この上に層間絶縁膜を介して中間導電層や第1容量線を構成する例えば高融点金属膜等の導電膜が積層された積層構造が得られる。このように、比較的単純な積層構造中に、走査線及び第2容量電極を作り込むことができる。

【0012】本発明の電気光学装置の他の態様では、前記第1容量線と前記第2容量電極との間には、第1層間絶縁膜が形成されており、前記第1容量線と前記第2容

(4)

5

量電極とは、前記画素電極毎に前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されている。

【0013】この態様によれば、第1層間絶縁膜を介して積層された第1容量線と第2容量電極とが画素電極毎にコンタクトホールを介して電気的に接続されている。従って、前述の如く第1層間絶縁膜の膜厚を、第1容量線の電位が薄膜トランジスタの動作に悪影響を与えない程度の大きさに設定しつつ、容量線の抵抗を効率良く下げることが可能となる。

【0014】或いは本発明の電気光学装置の他の態様では、第1層間絶縁膜を介して積層された第1容量線と第2容量電極とが複数の画素電極毎にコンタクトホールを介して接続されている。

【0015】従って、前述の如く第1層間絶縁膜の膜厚を、第1容量線の電位が薄膜トランジスタの動作に悪影響を与えない程度の厚さに設定しつつ、容量線の抵抗を下げることが可能となる。

【0016】本発明の電気光学装置の他の態様では、前記中間導電層及び前記第1容量線は、前記第1層間絶縁膜を介して前記走査線の上方且つ第2層間絶縁膜を介して前記データ線の下方の積層位置に形成されている。

【0017】この態様によれば、基板上には、走査線が形成され、この上に第1層間絶縁膜を介して中間導電層及び第1容量線が形成され、更にこの上に第2層間絶縁膜を介してデータ線が形成された積層構造が得られる。このように、走査線とデータ線の積層間に導電層を設けることにより、対向基板側から入射した光に対して、薄膜トランジスタの直近に形成された導電層が光を遮光する役目をするので、大変有利である。

【0018】この態様では、前記第1容量線と前記第2容量電極とは、前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されており、前記コンタクトホールは、平面的に見て前記データ線の形成された領域内に位置するように構成してもよい。

【0019】このように構成すれば、第1容量線と第2容量電極を接続するコンタクトホールは、データ線下に配置されているので、データ線に沿った遮光領域を利用して、コンタクトホールの存在により各画素の開口率を低めないようにしながら第1容量線と第2容量電極とを電気的に接続できる。

【0020】本発明の電気光学装置の他の態様では、前記第1容量線は、平面的に見て少なくとも部分的に前記走査線に重ねられており、前記走査線に沿って前記画素電極が配置された画像表示領域からその周囲に延設されている。

【0021】この態様によれば、平面的に見て走査線が形成された各画素の遮光領域を利用して第1容量線を配線することにより、各画素の開口率を低めないようにしながら、画像表示領域内から画像表示領域の周囲まで至る第1容量線を設けることが可能となる。この際、第1

6

容量線を第1層間絶縁膜を介して走査線上に設けることができるため、第1容量線の配線幅を太く形成することができ、更に容量線の低抵抗化が実現できる。

【0022】本発明の電気光学装置の他の態様では、前記第1容量線は、平面的に見て少なくとも部分的に前記第2容量電極に重ねられており、前記走査線方向に沿って前記画像表示領域からその周囲に延設されている。

【0023】この態様によれば、平面的に見て第2容量電極が形成された各画素の遮光領域を利用して第1容量線を配線することにより、各画素の開口率を低めないようにしながら、画像表示領域内から画像表示領域の周囲まで至る第1容量線を設けることが可能となる。この際、第1容量線を第1層間絶縁膜を介して第2容量電極上に設けることができるため、第1容量線の配線幅を太く形成することができ、更に容量線の低抵抗化が実現できる。尚、このような第1容量線は、平面的に見て走査線及び第2容量電極の両方に重ねられていてもよい。

【0024】本発明の電気光学装置の他の態様では、前記中間導電層及び前記第1容量線は、遮光性の導電膜からなり、前記第1容量線は、平面的に見て前記半導体層の少なくともチャネル領域を覆う。

【0025】このような中間導電層及び第1容量線は、例えば、T_i (チタン)、C_r (クロム)、W (タンクステン)、T_a (タンタル)、M_o (モリブデン)、P_b (鉛) 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等からなる。このように例えば第2容量電極を走査線と同一のポリシリコン膜から形成した場合にも、この材質と関係なく第1容量線を低抵抗な金属膜から形成することにより、容量線の低抵抗化を図ることが可能となる。更に、遮光性の第1容量線により、半導体層の少なくともチャネル領域を覆うので、チャネル領域に対向基板からの光が入射することで生じるリーク電流を防ぐことができる。これにより、薄膜トランジスタのオフ状態でのトランジスタ特性が変化する等の不具合を防止できる。更に、各画素の開口領域の輪郭を少なくとも部分的に規定することも可能となる。加えて、このようにデータ線と比べて薄膜トランジスタに近い積層位置にある第1容量線により遮光を行うことにより、データ線で遮光するよりも、より確実な遮光を行うことが可能となる。

【0026】本発明の電気光学装置の他の態様では、前記中間導電層は、多層膜からなる。

【0027】この態様によれば、例えば、下層にポリシリコン膜、上層に高融点金属或いはその合金からなる導電膜といった多層膜から中間導電層や第1容量線を構成することにより、中間導電層や第1容量線として要求される抵抗値や遮光性を満足させるために用いる材料や構造についての自由度が増す。この結果、装置信頼性の向上や製造工程の容易化を図ることができ、更にコスト削減にも繋がる。

(5)

7

【0028】本発明の電気光学装置の他の態様では、前記第1層間絶縁膜の膜厚は、500nm以上である。

【0029】この態様によれば、第1容量線と第2容量電極との間には、膜厚500nm以上の第1層間絶縁膜が形成されているので、第2容量電極が形成されておらず且つ半導体層が形成されている平面領域に第1容量線の一部が形成されても、第1容量線の電位が薄膜トランジスタの動作に悪影響を及ぼすことは殆ど又は全くない。逆に、第1容量線で半導体層を覆うことにより、薄膜トランジスタに対する遮光を効果的に施すことが可能となる。

【0030】本発明の電気光学装置の他の態様では、前記第1層間絶縁膜の膜厚は、500nm以下であり、平面的に見て少なくとも前記半導体層のチャネル領域及びその隣接領域には、前記第1容量線は重ねられていない。

【0031】この態様によれば、第1容量線と第2容量電極との間には、膜厚500nm以下の第1層間絶縁膜が形成されているので、仮に第2容量電極が形成されておらず且つ半導体層が形成されている平面領域に第1容量線の一部が形成されていたとすれば、第1容量線の電位が薄膜トランジスタの動作に悪影響を及ぼしかねない。しかるに本発明では、少なくとも半導体層のチャネル領域及びその隣接領域には、第1容量線は重ねられていないので、このように第1層間絶縁膜の膜厚が比較的薄くても、第1容量線の電位が薄膜トランジスタの動作に悪影響を及ぼすことは殆ど又は全くない。

【0032】本発明の電気光学装置の他の態様では、前記中間導電層及び前記第1容量線と同一膜からなり前記第1層間絶縁膜を介して前記容量線と対向配置された第3容量電極を更に備える。

【0033】この態様によれば、中間導電層及び第1容量線と同一膜からなる第3容量電極と第2容量電極とが、第1層間絶縁膜を介して対向配置されているので、これら両者間にも蓄積容量を構築可能となる。即ち、第1及び第2容量電極を用いて構築された蓄積容量に加えて他の蓄積容量を立体的に構築し、全体として画素電極に付与される蓄積容量を増大することが可能となる。即ち、この場合には、第1層間絶縁膜の一部が蓄積容量の誘電体膜としても機能するので、蓄積容量を増加させる観点からは、第1層間絶縁膜の膜厚を薄膜トランジスタの動作に影響を与えないレベルで、できるだけ薄く形成した方が良い。このように本発明によれば、中間導電層、第1容量線及び第3容量電極を構成する導電膜を用いて、蓄積容量の増大と容量線の低抵抗化とを同時に図ることができるので、高精細で高開口率の電気光学装置を実現する上で大変有利である。

【0034】本発明の電気光学装置の他の態様では、前記第2容量電極は、前記走査線に沿って前記画像表示領域からその周囲に延設されてなる第2容量線からなり、

8

前記第2容量線は前記第1容量線と接続されてなる。

【0035】この態様によれば、第2容量電極を走査線に沿って延設して第2容量線を形成する。これにより、第1容量線と第2容量線といった別層での多層配線が可能になり、冗長構造になるばかりか、容量線の配線抵抗を更に低減することができる。

【0036】本発明の電気光学装置の他の態様では、前記基板上に、少なくとも前記半導体層のチャネル領域を前記基板側から見て覆う遮光膜を更に備える。

【0037】この態様によれば、半導体層の下側に配置された遮光膜により、当該電気光学装置における裏面反射や、特にカラー表示用プロジェクタのライトバルブとして複数の電気光学装置を組み合わせて用いる場合、合成光学系を突き抜けてくる光や反射光に対してチャネル領域を遮光できる。この結果、入射光のみならず反射光によっても薄膜トランジスタの特性が変化する事態を効果的に阻止可能となる。

【0038】本発明の電気光学装置の他の態様では、前記遮光膜は、前記画素電極毎に前記第1容量線と接続され、前記画像表示領域からその周囲に延設されて定電位源に接続されてなる。

【0039】この態様によれば、薄膜トランジスタを遮光するための遮光膜を画像表示領域の周囲まで延設して周辺回路等の定電位源に接続し、更に画素電極毎に第1容量線と遮光膜を接続することにより、容量線の冗長構造を実現する。即ち、遮光膜の配線を第3容量線として機能させることにより、更に容量線を低抵抗化することができる。

【0040】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0041】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。以下の各実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0042】(第1実施形態) 本発明の第1実施形態における液晶装置の構成について、図1から図3を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0043】図1において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aと当該画素電極9aを制御するためのTFT30が形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号

(6)

9

S_1, S_2, \dots, S_n は、この順に線順次に供給しても構わないし、相隣接する複数のデータ線 6a 同士に対しても、グループ毎に供給するようにしても良い。また、TFT30 のゲートに走査線 3a が電気的に接続されており、所定のタイミングで、走査線 3a に走査信号 G1、G2、…、Gm を、この順に線順次で印加するように構成されている。画素電極 9a は、TFT30 のドレインに電気的に接続されており、スイッチング素子である TFT30 を一定期間だけそのスイッチを閉じることにより、データ線 6a から供給される画像信号 S_1, S_2, \dots, S_n を所定のタイミングで書き込む。画素電極 9a を介して電気光学物質の一例として液晶に書き込まれた所定レベルの画像信号 S_1, S_2, \dots, S_n は、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光が通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光が通過可能とされ、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9a と対向電極との間に形成される液晶容量と並列に蓄積容量 70 を付加する。蓄積容量 70 は、画素電極 9a と電気的に接続された容量電極と、定電位を供給する容量線 300 と電気的に接続された容量電極との間に誘電体膜を介して形成されている。

【0044】図2において、電気光学装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極 9a（点線部 9a'）により輪郭が示されている）が設けられており、画素電極 9a の縦横の境界に各々沿ってデータ線 6a、走査線 3a が設けられている。データ線 6a は、コンタクトホール 5 を介して例えばポリシリコン膜からなる半導体層 1a のうち後述のソース領域に電気的に接続されている。画素電極 9a は、中間導電層の一例として図中右上がりの斜線領域で示した島状のバリア層 80 を中継することにより、コンタクトホール 83 及び 84 を介して半導体層 1a のうち後述のドレイン領域に電気的に接続されている。また、半導体層 1a のうち図中右下がりの斜線領域で示したチャネル領域 1a' に対向するように走査線 3a が配置されており、走査線 3a はゲート電極として機能する。このように、走査線 3a とデータ線 6a との交差する個所には夫々、チャネル領域 1a' に走査線 3a がゲート電極として対向配置された画素スイッチング用 TFT30 が設けられている。

【0045】本実施形態では特に、第1容量線 82 が、図中右上がりの斜線領域で示した領域にバリア層 8-0 と同一膜から形成されている。第1容量線 82 には、島状のバリア層 80 を避けるように設けられており、第1容

10

量線 82 はバリア層 80 から分離されている。ストライプ状の第1容量線 82 は、TFT30 に対向する位置からコンタクトホール 5 の手前まで図中下方に幅広に形成されており、チャネル領域 1a' に加えて、その隣接領域の入射光に対する遮光を確実に行う。また、走査線 3a と同一膜で第2容量線 3b を形成する。第2容量線 3b は半導体層 1a から延設された第1容量電極 1f と絶縁薄膜（後述する）を介して重なっている部分（第2容量電極）において図1の蓄積容量 70 を形成する。ここで、第1容量線 82 と第2容量線 3b を各画素電極 9a 每にコンタクトホール 85 にて電気的に接続することにより、図1で示した容量線 300 を低抵抗化することができる。あるいは、走査線 3a に沿って配置される複数の画素電極 9a 每にコンタクトホール 85 にて電気的に接続しても良い。第1容量線 82 は、画素電極 9a が配置された画像表示領域からその周囲に延設されて、定電位源と電気的に接続される。定電位源としては、TFT30 を駆動するための走査信号を走査線 3a に供給するための走査線駆動回路（後述する）や画像信号をデータ線 6a に供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でも良いし、対向基板に供給される定電位源でも構わない。第2容量線 3b も同様に画像表示領域からその周囲に延設して定電位源に電気的に接続することで、第1容量線 82 と第2容量線 3b とで冗長構造の容量線 300 を形成することができ、配線抵抗を更に低減することができる。また、第1容量線 82 と第2容量線 3b を接続するコンタクトホール 85 は、データ線 6a 下に配置するようにすると良い。これにより、データ線 6a に沿った遮光領域を利用することで、画素開口率を低めないようにすることができる。

【0046】更に、本実施形態では第2容量線 3b の一部である第2容量電極を各画素電極 9a 每に島状に独立に形成しても良い。この場合は、容量線 300 の配線として機能しないが、定電位を供給する配線として第1容量線 82 と第2容量電極を各画素電極 9a 每にコンタクトホール 85 にて電気的に接続すれば良い。これにより、走査線 3a と同一層で容量線 300 を形成する必要がないため、画素開口率を向上させることができ、有利である。

【0047】また図2において、太線で囲んだ走査線 3b に沿った各領域には、TFT30 を TFTアレイ基板側から覆う部分を含む第1遮光膜 11a が走査線 3a 及び第2容量線 3b に沿ってストライプ状に形成されている。第1遮光膜 11a は、TFT30 に対向する位置からコンタクトホール 5 を覆う位置まで図中下方に突出している。第1遮光膜 11a は、TFTアレイ基板の裏面や投射光学系からの戻り光を遮光し、この光に基づく光励起により TFT30 のオフ時のリーク電流が原因で TFT30 の特性が変化するのを有効に防止する。このよ

(7)

11

うな第1遮光層11aは、例えば、Ti、Cr、W、Ta、Mo、Nb等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等やポリシリコン膜となる。特に、複板式のカラー表示用のプロジェクタ等で複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合には、他の電気光学装置からプリズム等を突き抜けてくる戻り光の影響を受けるため、TFT30の下側に第1遮光膜11aを設けることは大変有効である。第1遮光膜11aは、走査線3aに沿った方向やデータ線6aに沿った方向にストライプ状あるいはマトリクス状に配線を形成し、画素電極9aが配置された画像表示領域からその周囲に延設されて、定電位源と電気的に接続される。定電位源としては、第1容量線82に供給される定電位と同じでも構わないし、異なっていても良い。ここで、画素電極9a毎に第1容量線82と第1遮光膜11aをコンタクトホールを介して電気的に接続することにより、第1遮光膜11aを第3遮光膜として機能させることもできる。このような構成を採れば、容量線300を冗長構造で構築できるばかりでなく、更に配線抵抗を低減することが可能になる。第1容量線82と第1遮光膜11aを接続するためのコンタクトホールは、データ線6aの下方に容易に設けることができる。

【0048】次に図3の断面図に示すように、電気光学装置は、透明なTFTアレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0049】他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0050】TFTアレイ基板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0051】対向基板20には、更に図3に示すように、第2遮光膜23を設けるようにしても良い。このような構成を探ることで、対向基板20側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入することはない。更に、第2遮光膜23

12

は、入射光が照射される面を高反射膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。

【0052】尚、本実施形態では、A1膜等からなる遮光性のデータ線6aで、各画素の遮光領域のうちデータ線6aに沿った部分を遮光してもよいし、第1容量線82を遮光性の膜で形成することにより、コンタクトホール5の形成領域を除いたデータ線6a下方において遮光することができる。

【0053】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスピーブ等のギャップ材が混入されている。

【0054】更に、第1遮光膜11aと画素スイッチング用TFT30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、TFTアレイ基板10の全面に形成されることにより、第1遮光膜11aによるTFT30の汚染を防止し、TFTアレイ基板10表面の研磨時における荒れや、洗净後に残る汚れ等で画素スイッチング用TFT30の特性の変化を防止する機能を有する。

【0055】本実施形態では、半導体層1aを高濃度ドレイン領域1eから延設して第1容量電極1fとし、これに対向する第2容量線3bの一部を第2容量電極とし、ゲート絶縁膜を含んだ絶縁薄膜2を誘電体膜とすることにより、蓄積容量70が構成されている。図2及び図3に示すように、データ線6aの下にも、第2容量線3bを延設して蓄積容量70が形成されており、非開口領域の有効利用が図られている。

【0056】図3において、画素スイッチング用TFT30は、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁薄膜2、データ線6a、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが、コンタクトホール8-3及び8-4を介してバリア層80により中継接続されている。また、走査線3a及び第2容量線3bの上には、高濃度ソース領域1dへ通じるコンタク

(8)

13

トホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール83が各々形成された第1層間絶縁膜81が形成されている。

【0057】第1層間絶縁膜81上には、TFT30と画素電極9aとをコンタクトホール83及び84を介して中継接続するバリア層80及びこれと同一膜からなる第1容量線82が形成されている。このように、高濃度ドレイン領域1eと画素電極9aとをコンタクトホール83及び84を介してバリア層80を経由して電気的に接続するので、画素電極9aからドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホール83及びコンタクトホール84の径を夫々小さくできる。更に、バリア層80及び第1容量線82は、例えば、Ti、Cr、W、Ta、Mo、Nb等の高融点金属等を少なくとも一つ含む、金属単体、合金、金属シリサイド等から形成することができ、遮光領域を規定するための遮光膜として代用できる。また、ポリシリコン膜等の導電膜で形成しても良いことは言うまでもない。これにより、コンタクトホール84を介してバリア層80及び画素電極9a間で良好に電気的な接続がとれる。

【0058】バリア層80及び第1容量線82上には、高濃度ソース領域1dへ通じるコンタクトホール5及びバリア層80へ通じるコンタクトホール84が各々形成された第2層間絶縁膜4が形成されている。

【0059】第2層間絶縁膜4上には、データ線6aが形成されており、これらの上には更に、バリア層80へのコンタクトホール84が形成された第3層間絶縁膜7が形成されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。

【0060】本実施形態では特に、第1容量線82が低抵抗な高融点金属を含んだ膜で構成できるため、図1における容量線300の低抵抗化を図ることができる。よって、本実施形態の電気光学装置の動作時に、走査線3aに沿った方向のクロストークやゴーストを効果的に低減でき、コントラスト比を向上できる。しかも、上述の如き中継機能等を持つバリア層80と同一膜から、第1容量線82を構成しているので、後述する製造プロセスにおいて第1容量線82を形成するための追加工程が不要であり、コスト面で非常に有利である。

【0061】本実施形態で、第1容量線82と第2容量線3bとの間にある第1層間絶縁膜81の膜厚を500nm以上で形成すれば、走査線3aやTFT30の上方に第1容量線82が形成されても、第1容量線82の電位がTFT30の動作に悪影響を及ぼすことは殆ど又は全くない。これにより、走査線3aとデータ線6aの積層間に第1層間絶縁膜81及び第2層間絶縁膜4を介して第1容量線82を形成できるので、この第1容量線82を遮光膜として代用し、TFT30の少なくともチャネル領域1a'や走査線3a、第2容量線3bと平面的

14

にみて部分的に重ねることで、対向基板20側からの入射光に対して確実に遮光できる。したがって、TFTアレイ基板10側の第1遮光膜11a及び第1容量線82による遮光で、チャネル領域1a'及びその隣接領域に光が入射することによりTFT30のトランジスタ特性が変化するのを防止できる。このように、第1容量線82で、遮光領域の大部分を規定することができるため、対向基板20上の第2遮光膜23を取り除くことができる。これにより、TFTアレイ基板10と対向基板20の貼り合わせズレによる透過率ばらつきを大幅に低減することができる。更に、第1容量線82は、Al膜と比べて、反射率が低い高融点金属膜から形成することができるので、斜めの入射光や、データ線6aの裏面からの多重反射光がTFT30に至る事態を効率的に未然防止できる。尚、このような500nm以上である第1層間絶縁膜81の膜厚の具体的な値としては、TFT30に要求されるトランジスタ特性や画像品位或いは装置仕様に応じて、経験的又は実験的に若しくは理論計算やシミュレーション等により個別具体的に設定すればよい。

【0062】以上説明した実施形態では、TFTアレイ基板10、下地絶縁膜12、第1層間絶縁膜81、第2層間絶縁膜4に溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより平坦化処理を行ってもよいし、第3層間絶縁膜7や第2層間絶縁膜4の上面の段差をCMP (Chemical Mechanical Polishing) 処理等で研磨することにより、或いは有機SOG膜を用いて平坦化処理を行ってもよい。

【0063】更に以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図3に示したようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0064】(第1実施形態の製造プロセス) 次に、以上のような構成を持つ第1実施形態の電気光学装置の製造プロセスについて、図4及び図5を参照して説明する。ここに、図4及び図5は各工程におけるTFTアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて順を追って示す工程図である。

(9)

15

【0065】先ず図4の工程(1)に示すように、石英基板、ガラス基板、シリコン基板等のTFTアレイ基板10を用意する。ここで、好ましくはN₂(窒素)等の不活性ガス雰囲気且つ約900～1300℃の高温で熱処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びNb等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100～500nm程度の膜厚、好ましくは約200nmの膜厚の第1遮光膜11aを形成する。尚、第1遮光膜11a上には、好ましくは表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0066】次に図4の工程(2)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・fosfato)ガス等を用いて、NSG(ノンドープ・シリケート・ガラス)、PSG(リン・シリケート・ガラス)、BSG(ボロン・シリケート・ガラス)、BPSG(ボロンリン・シリケート・ガラス)などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500nm～2000nmとする。

【0067】次に図4の工程(3)に示すように、下地絶縁膜12の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/m²のモノシリランガス、ジシリランガス等を用いた減圧CVD(例えば、圧力約20～40PaのCVD)により、アモルファスシリコン膜を形成して、フォトリソグラフィ工程、エッチング工程等により、半導体層1aを形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間の熱処理を施すことにより、ポリシリコン膜を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使った熱処理でも良いし、エキシマレーザー等を用いても良い。

【0068】この際、画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb(アンチモン)、As(砒素)、P(リン)などのV族元素の不純物を僅かにイオン注入等によりドープしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素の不純物を僅かにイオ

16

ン注入等によりドープしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、その後、熱処理等により再結晶化させてポリシリコン膜を形成しても良い。

【0069】次に図4の工程(4)に示すように、画素スイッチング用TFT30を構成する半導体層1aを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜を形成し、更に、減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる絶縁膜2bを約50nmの比較的薄い厚さに堆積し、熱酸化シリコン膜2a及び絶縁膜2bを含む多層構造を持つ絶縁薄膜2を形成する。この結果、半導体層1aの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。このように高温熱酸化時間20を短くすることにより、特に10cm以上の大型基板を使用する場合に熱によるそりを防止することができる。但し、半導体層1aを熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

【0070】次に図4の工程(5)に示すように、フォトリソグラフィ工程、エッチング工程等によりレジスト層500を第1容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーズ量約3×10¹²/cm²でドープして、第1容量電極1fを低抵抗化しても良い。

【0071】次に図4の工程(6)に示すように、先ずレジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、走査線3a及び第2容量電極を含んだ第2容量線3bを形成する。更に、画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aをマスクとして、PなどのV族元素の不純物を低濃度で(例えば、Pイオンを1～3×10¹³/cm²のドーズ量にて)ドープする。これにより走査線3a下40の半導体層1aはチャネル領域1aとなる。

【0072】次に図5の工程(7)に示すように、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層600を走査線3a上に形成した後、同じくPなどのV族元素の不純物を高濃度で(例えば、Pイオンを1～3×10¹⁵/cm²のドーズ量にて)ドープする。また、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン

(10)

17

領域1eを形成するために、BなどのIII族元素の不純物を用いてドープする。

【0073】次に図5の工程(8)に示すように、レジスト層600を除去した後、走査線3a及び第2容量線3b上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜を約500nm以上の比較的厚い膜厚に堆積することにより、第1層間絶縁膜81を形成する。但し、このように絶縁膜を堆積する前に、石英基板等からなるTFTアレイ基板10上における高温プロセスを利用して、高耐圧であり比較的薄くて欠陥の少ない酸化膜を形成して、係る酸化膜を含めて吹く複数層構造を有する第1層間絶縁膜81を形成してもよい。

【0074】次に図5の工程(10)に示すように、バリア層80と高濃度ドレイン領域1eとを電気的に接続するためのコンタクトホール83を、反応性イオンエッティング、反応性イオンビームエッティング等のドライエッティングにより第1層間絶縁膜81を開孔する。これと同時に第1容量線82と第2容量線3bとを接続するためのコンタクトホール85を開孔することができる。このようなドライエッティングは、指向性が高いため、小さな径のコンタクトホール83や85を開孔可能である。或いは、ウェットエッティングを併用してもよい。このウェットエッティングは、コンタクトホール83に対し、より良好に電気的な接続をとるためのテープを付与する観点からも有効である。

【0075】次に図5の工程(10)に示すように、第1層間絶縁膜81及びコンタクトホール83や85を介して覗く高濃度ドレイン領域1eの全面に、第1遮光膜11aと同じく、Ti、Cr、W、Ta、Mo及びNb等の金属や金属シリサイド等の金属合金膜あるいはポリシリコン膜をスパッタリングやCVD法により堆積した後、フォトリソグラフィ及びエッティング処理により、バリア層80を形成する。これと同時に第1層間絶縁膜81及びコンタクトホール85を介して覗く第2容量線3bの少なくとも第2容量電極上に、第1容量線82を形成する。尚、これらのバリア層80及び第1容量線82上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。あるいは、下層にポリシリコン膜、上層に高融点金属膜というようにバリア層80及び第1容量線82を多層膜から形成しても良い。このように、下層にポリシリコン膜を形成すれば、半導体層1aと更に良好に電気的な接続をとることができる。

【0076】次に図5の工程(11)に示すように、第1容量線82、第1層間絶縁膜81及び下地絶縁膜12からなる積層体における段差のある上面を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、-N₂S₂、-P₂S₂、-B₂S₂、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。尚、この熱焼成と並行

(10)

18

して或いは相前後して、半導体層1aを活性化するため約1000℃の熱処理を行ってもよい。

【0077】次に図5の工程(13)に示すように、第2層間絶縁膜4の上に、スパッタリング等により、Al膜等の低抵抗金属膜や金属シリサイド膜を約100~500nmの厚さに堆積した後、フォトリソグラフィ工程及びエッティング工程等により、データ線6aを形成する。次に、データ線6aに対するコンタクトホール5を第2層間絶縁膜4、第1層間絶縁膜81及び絶縁薄膜2に開孔し、その上にデータ線6aをスパッタリング等により約100~500nmの厚さのAl膜等の低抵抗金属膜や金属シリサイド膜から形成し、その上に第3層間絶縁膜7を前述した第2層間絶縁膜4と同様にCVD法等により形成する。

【0078】統いて、第3層間絶縁膜7及び第2層間絶縁膜4に第2コンタクトホール84をエッティングにより開孔し、最後にITO膜からなる画素電極9aを第2コンタクトホール84を介してバリア層80と電気的な接続がとれるように形成する。特にこの工程(12)においては、コンタクトホール5の開孔時に、走査線3aや第2容量線3bを基板周辺領域において図示しない配線と接続するためのコンタクトホールも、第3層間絶縁膜7や第2層間絶縁膜4に同時に開孔するとよい。また、データ線6aは、約100~500nm、好ましくは約300nm程度に堆積し、第3層間絶縁膜7は、約500~1500nm程度に堆積するとよい。また、コンタクトホール8bは、反応性イオンエッティング、反応性イオンビームエッティング等のドライエッティングにより形成すればよいが、テープ状にするためにウェットエッティングを用いても良い。更に、画素電極9aは、約50~200nm程度の厚さに堆積するとよい。尚、当該電気光学装置を反射型で用いる場合には、Al膜等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0079】以上説明したように本実施形態の製造プロセスによれば、上述した本実施形態の電気光学装置を比較的容易に製造できる。加えて、画素スイッチング用TFT30は半導体層1aをポリシリコン膜で形成することができるので、画素スイッチング用TFT30の形成時にはほぼ同一工程で、周辺回路を形成することも可能である。

【0080】尚、以上説明した製造プロセスでは、データ線6aが形成される第2層間絶縁膜4あるいは画素電極9aが形成される第3層間絶縁膜7の表面を平坦化するためのCMP処理等を行ってもよい。或いはTFTアレイ基板10の所定領域にエッティングを予め施して凹状の窪みを形成して、その後の工程を同様に行うことにより結果的に第3層間絶縁膜7の表面が平坦化されるようにしてもよいし、第2層間絶縁膜4又は下地絶縁膜12を凹状に窪めて形成してもよい。

(11)

19

【0081】以上のように本実施形態の製造方法によれば、図1における容量線300を低抵抗化する機能及び遮光膜としての機能を有する第1容量線82と、TFT30及び画素電極9a間を中継接続する機能を有するバリア層80とは、同一膜からなるので、両者を同一工程により同時に形成できる。

【0082】(第2実施形態)次に、図6及び図7を参照して本発明の電気光学装置の第2実施形態について説明する。ここに、図6は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図7は、図6のA-A'断面図である。尚、図7においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、図6及び図7において、図2及び図3と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

【0083】図6及び図7に示すように、第2実施形態では、第1実施形態と比べて、島状のバリア層180は、比較的大きく形成されており、第2容量線3bと対向配置された第3容量電極として機能する部分を含む。そして、第1容量電極1fと第2容量線3bと当該第3容量電極とから、立体的な蓄積容量70が構築されている。また、バリア層180と同一の高融点金属膜等からなる第1容量線182は、バリア層180が大きくなつたのに対応して小さく形成されている。更に蓄積容量70を増大するには、第1層間絶縁膜81の膜厚を500nm以下となるように設定しても良い。このように容量電極を積層させることで、小さい領域で効率的に蓄積容量70を増大させることができ、画素の高開口率化が可能となる。更に、第1容量線82により容量線が低抵抗化できるため、蓄積容量70が大きくなつてもクロストーク等の発生が無く、高いコントラスト比を示す電気光学装置が実現できる。尚、第1層間絶縁膜81を薄膜化した場合に、第1容量線180がチャネル領域1a'付近に形成されると、TFT30の動作に影響を与えるため、チャネル領域1a'付近に平面的に見て重ならないように配線すればよい。その他の構成については、第1実施形態の場合と同様である。

【0084】以上説明した各実施形態では、第1容量線82(あるいは1.8.2)は、走査線3a方向に伸長しているが、データ線6a方向にも突出させて、データ線6a下方において、第1容量線82(あるいは1.8.2)との間で蓄積容量70を形成しても良い。

【0085】以上説明した各実施形態では、第1容量線180又は182を、第2容量線3bに代えて又は加えて走査線3aの冗長配線として構成することも可能である。

【0086】(電気光学装置の全体構成)以上のように構成された各実施形態における電気光学装置の全体構成を図8及び図9を参照して説明する。尚、図8は、TFT

20

Tアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図9は、図8のH-H'断面図である。

【0087】図8において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域10aの周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号

10を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列しても

20よい。例えば奇数列のデータ線は画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域10aの反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路101の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20の

30コーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電気的に導通をとるための導通材106が設けられている。そして、図9に示すように、図8に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固定されている。

【0088】尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0089】以上図1から図9を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB-(Tape-Automated-bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電気的及

(12)

21

び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TNモード、VA(Vertically Aligned)モード、PDL C(Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0090】以上説明した各実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0091】本発明は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴なう電気光学装置もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】本発明の第1実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図2】第1実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

22

【図4】第1実施形態の電気光学装置の製造プロセスを順を追って示す工程図(その1)である。

【図5】第1実施形態の電気光学装置の製造プロセスを順を追って示す工程図(その2)である。

【図6】本発明の第2実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図7】図6のA-A'断面図である。

【図8】各実施形態の電気光学装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図9】図8のH-H'断面図である。

【符号の説明】

1 a …半導体層

1 a' …チャネル領域

1 b …低濃度ソース領域

1 c …低濃度ドレイン領域

1 d …高濃度ソース領域

1 e …高濃度ドレイン領域

20 1 f …第1容量電極

2 …絶縁薄膜

3 a …走査線

3 b …第2容量線

4 …第2層間絶縁膜

5 …コンタクトホール

6 a …データ線

7 …第3層間絶縁膜

8 …コンタクトホール

9 a …画素電極

30 10 …TFTアレイ基板

12 …下地絶縁膜

16 …配向膜

20 …対向基板

21 …対向電極

22 …配向膜

23 …第2遮光膜

30 …TFT

50 …液晶層

70 …蓄積容量

40 80、180 …バリア層

81 …第1層間絶縁膜

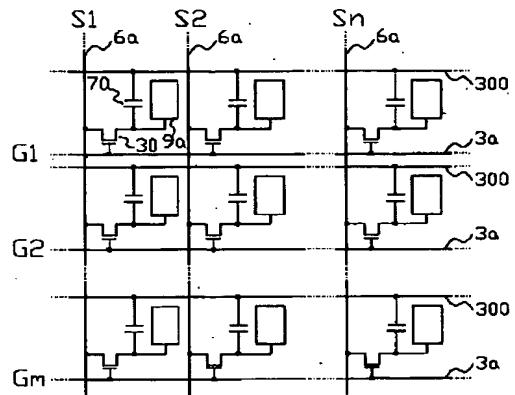
82、182 …第1容量線

83、84、85 …コンタクトホール

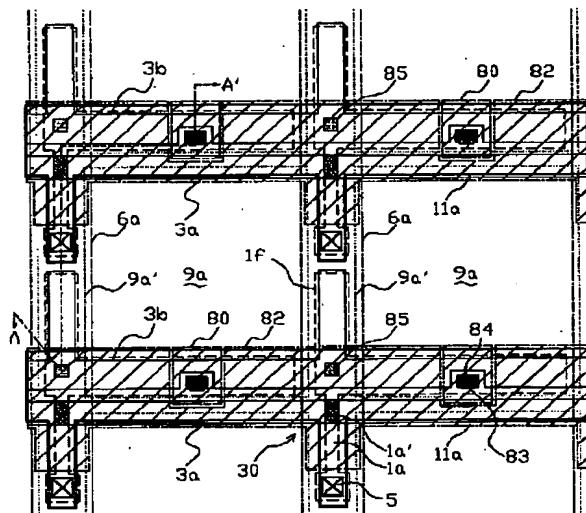
300 …容量線

(13)

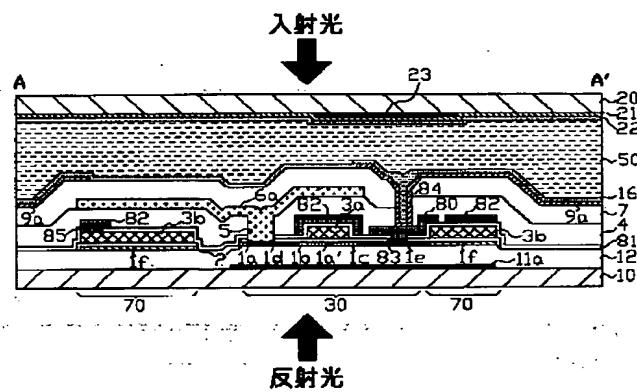
【図1】



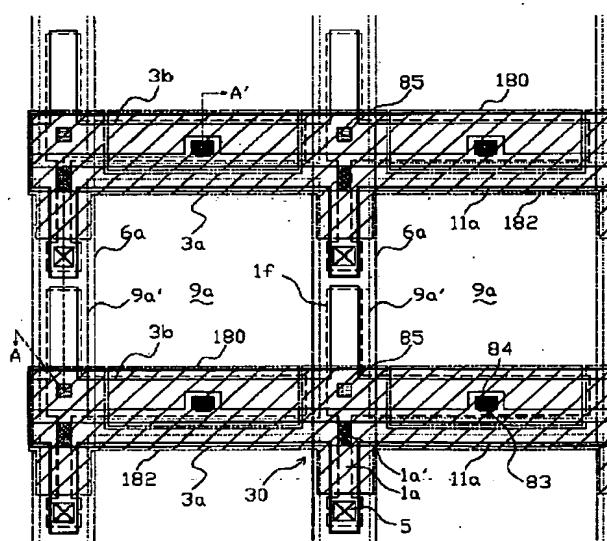
【図2】



【図3】



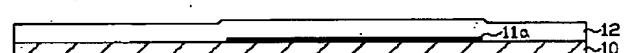
【図6】



(1)



(2)



(3)



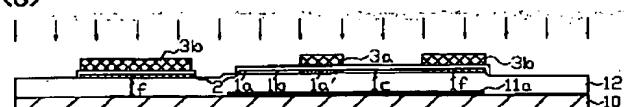
(4)



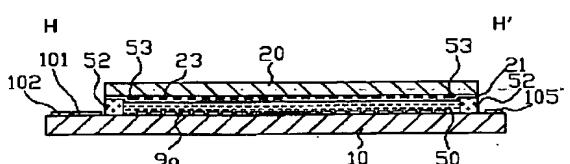
(5)



(6)

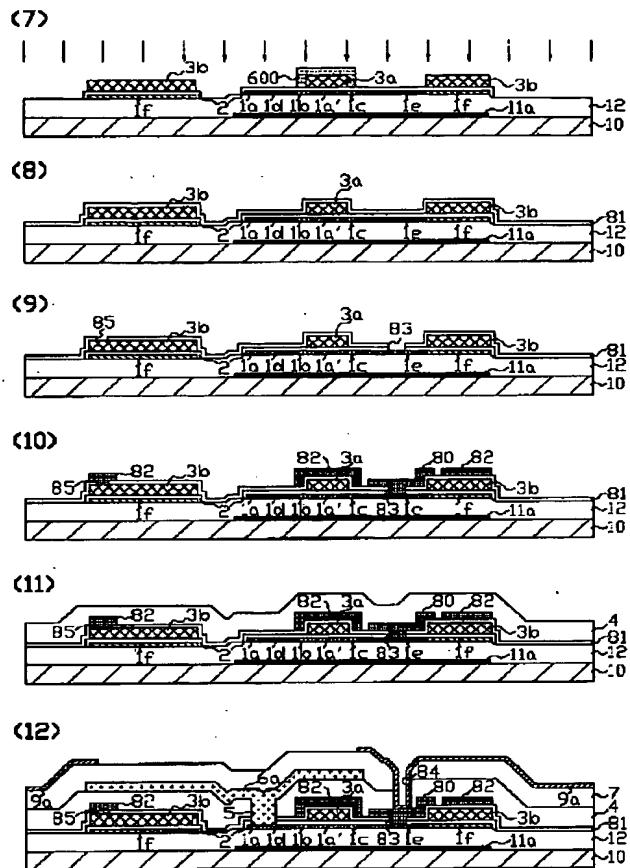


【図9】

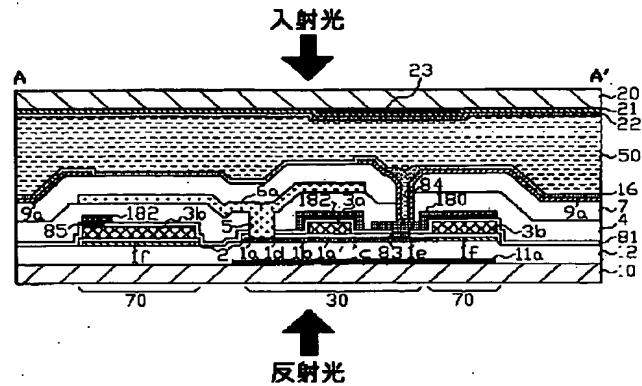


(14)

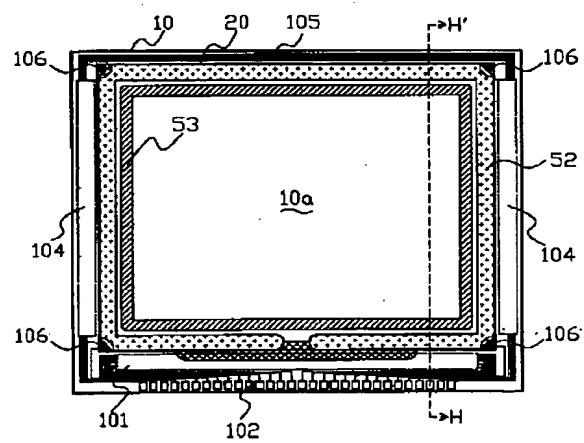
【図5】



【図7】



【図8】



(15)

フロントページの続き

F ターム(参考) 2H092 GA28 GA29 JA24 JA28 JB22
JB31 JB51 JB53 JB57 JB62
JB63 JB68 JB69 KB25 NA01
NA28
5C094 AA05 AA06 AA09 AA21 AA60
BA03 CA19 EA04 ED02 HA08
5F110 AA03 AA30 BB01 CC02 DD02
DD03 DD05 DD12 DD13 DD14
DD25 FF02 FF03 FF09 FF23
FF29 GG02 GG13 GG25 GG32
GG47 GG52 HJ01 HJ04 HJ13
HJ23 HL01 HL02 HL03 HL04
HL05 HL06 HL11 HL14 HL23
HL24 HM15 HM17 HM18 HM19
NN03 NN04 NN22 NN23 NN24
NN25 NN26 NN27 NN35 NN40
NN44 NN45 NN46 NN54 NN55
NN72 NN73 PP02 PP03 PP10
PP13 PP33 QQ11 QQ19

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成16年12月16日(2004.12.16)

【公開番号】特開2001-265253(P2001-265253A)

【公開日】平成13年9月28日(2001.9.28)

【出願番号】特願2000-77177(P2000-77177)

【国際特許分類第7版】

G 09 F 9/30

G 02 F 1/1368

H 01 L 29/786

【F I】

G 09 F 9/30 3 3 8

G 02 F 1/136 5 0 0

H 01 L 29/78 6 1 2 C

H 01 L 29/78 6 1 9 B

【手続補正書】

【提出日】平成16年1月16日(2004.1.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】電気光学装置およびプロジェクタ

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上に、

薄膜トランジスタと、

画素電極と、

該画素電極と前記薄膜トランジスタを構成する半導体層とを中継接続する中間導電層と、前記薄膜トランジスタに接続された走査線と、

該走査線と交差すると共に前記薄膜トランジスタに接続されたデータ線と、

前記半導体層と同層からなる第1容量電極に絶縁薄膜を介して対向配置された第2容量電極と、

前記中間導電層と同一膜からなり、前記第2容量電極と接続された第1容量線とを備えたことを特徴とする電気光学装置。

【請求項2】

前記第2容量電極と前記走査線とは、同一導電膜からなることを特徴とする請求項1に記載の電気光学装置。

【請求項3】

前記第1容量線と前記第2容量電極との間には、第1層間絶縁膜が形成されており、前記第1容量線と前記第2容量電極とは、前記画素電極毎に前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されていることを特徴とする請求項1又は2に記載の電気光学装置。

【請求項 4】

前記第1容量線と前記第2容量電極との間には、第1層間絶縁膜が形成されており、前記第1容量線と前記第2容量電極とは、複数の画素電極毎に前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されていることを特徴とする請求項1又は2に記載の電気光学装置。

【請求項 5】

前記中間導電層及び前記第1容量線は、前記第1層間絶縁膜を介して前記走査線の上方且つ第2層間絶縁膜を介して前記データ線の下方の積層位置に形成されていることを特徴とする請求項1から4のいずれか一項に記載の電気光学装置。

【請求項 6】

前記第1容量線は、平面的に見て少なくとも部分的に前記走査線に重ねられており、前記走査線に沿って前記画素電極が配置された画像表示領域からその周囲に延設されていることを特徴とする請求項1から5のいずれか一項に記載の電気光学装置。

【請求項 7】

前記第1容量線は、平面的に見て少なくとも部分的に前記第2容量電極に重ねられており、前記走査線方向に沿って前記画像表示領域からその周囲に延設されていることを特徴とする請求項1から6のいずれか一項に記載の電気光学装置。

【請求項 8】

前記中間導電層及び前記第1容量線は、遮光性の導電膜からなり、前記第1容量線は、平面的に見て前記半導体層の少なくともチャネル領域を覆うことを特徴とする請求項1から7のいずれか一項に記載の電気光学装置。

【請求項 9】

前記中間導電層は、多層膜からなることを特徴とする請求項1から8のいずれか一項に記載の電気光学装置。

【請求項 10】

前記第1層間絶縁膜の膜厚は、500nm以上であることを特徴とする請求項1から9のいずれか一項に記載の電気光学装置。

【請求項 11】

前記第1層間絶縁膜の膜厚は、500nm以下であり、平面的に見て少なくとも前記半導体層のチャネル領域及びその隣接領域には、前記第1容量線は重ねられていないことを特徴とする請求項1から9のいずれか一項に記載の電気光学装置。

【請求項 12】

前記基板上に、前記中間導電層及び前記第1容量線と同一膜からなり前記第1層間絶縁膜を介して前記容量線と対向配置された第3容量電極を更に備えたことを特徴とする請求項1から11のいずれか一項に記載の電気光学装置。

【請求項 13】

前記第2容量電極は、前記走査線に沿って前記画像表示領域からその周囲に延設されてなる第2容量線からなり、前記第2容量線は前記第1容量線と接続されてなることを特徴とする請求項1から12のいずれか一項に記載の電気光学装置。

【請求項 14】

前記基板上に、少なくとも前記半導体層のチャネル領域を前記基板側から見て覆う遮光膜を更に備えたことを特徴とする請求項1から13のいずれか一項に記載の電気光学装置。

【請求項 15】

前記遮光膜は、前記画素電極毎に前記第1容量線と接続され、前記画像表示領域からその周囲に延設されて定電位源に接続されてなることを特徴とする請求項1から14のいずれか一項に記載の電気光学装置。

【請求項 16】

請求項1から15のいずれか一項に記載の電気光学装置を内蔵したことを特徴とするプロジェクト。

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2001-265253

(43)Date of publication of application : 28.09.2001

(51)Int.CI.

G09F 9/30

G02F 1/1368

H01L 29/786

(21)Application number : 2000-077177

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 17.03.2000

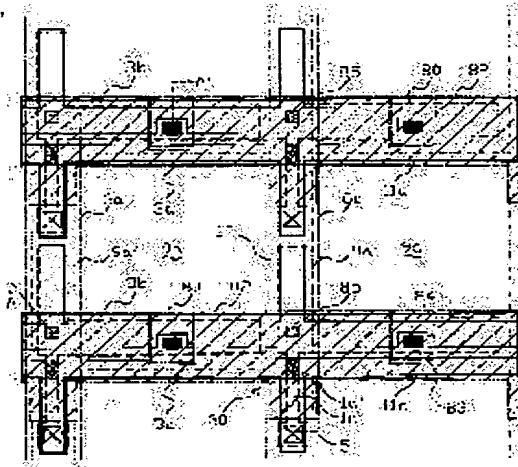
(72)Inventor : MURAIDE MASAO

(54) ELECTRO-OPTICAL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To display a high quality image by increasing a pixel opening ratio and also reducing the resistance of capacitance line, and further reducing cross- talk and ghost in an electro-optical device.

SOLUTION: The electro-optical device is provided with pixel electrodes (9a), TFTs (30) for controlling to switch the pixel electrodes, scanning lines (3a) connected with these TFTs, and 2nd capacitance lines (3b) for adding storage capacitance (70) on a TFT array substrate (10). The device is further provided with a barrier layer (80) for relay-connecting the pixel electrodes to the TFTs and 1st capacitance lines (82).



LEGAL STATUS

[Date of request for examination] 16.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The middle conductive layer which carries out trunk connection of a thin film transistor, a pixel electrode, this pixel electrode, and the semi-conductor layer that constitutes said thin film transistor on a substrate, The scanning line connected to said thin film transistor, and the data line connected to said thin film transistor while intersecting this scanning line, The electro-optic device characterized by having the 1st capacity line which became the 1st capacity electrode which consists of said semi-conductor layer and this layer from the 2nd capacity electrode by which opposite arrangement was carried out through the insulating thin film, and the same film as said middle conductive layer, and was connected with said 2nd capacity electrode.

[Claim 2] Said 2nd capacity electrode and said scanning line are an electro-optic device according to claim 1 characterized by consisting of same electric conduction film.

[Claim 3] It is the electro-optic device according to claim 1 or 2 which the 1st interlayer insulation film is formed between said 1st capacity lines and said 2nd capacity electrodes, and is characterized by connecting said 1st capacity line and said 2nd capacity electrode through the contact hole punctured by said 1st interlayer insulation film for said every pixel electrode.

[Claim 4] It is the electro-optic device according to claim 1 or 2 which the 1st interlayer insulation film is formed between said 1st capacity lines and said 2nd capacity electrodes, and is characterized by connecting said 1st capacity line and said 2nd capacity electrode through the contact hole punctured by said 1st interlayer insulation film for two or more pixel electrodes of every.

[Claim 5] Said middle conductive layer and said 1st capacity line are an electro-optic device given in any 1 term of claims 1-4 characterized by being formed in the laminating location of the lower part of said data line through the upper part of said scanning line, and the 2nd interlayer insulation film through said 1st interlayer insulation film.

[Claim 6] Said 1st capacity line and said 2nd capacity electrode are an electro-optic device according to claim 5 which is connected through the contact hole punctured by said 1st interlayer insulation film, and is characterized by being located in the field in which said contact hole was seen superficially and said data line was formed.

[Claim 7] Said 1st capacity line is an electro-optic device given in any 1 term of claims 1-6 characterized by being installed in the perimeter from the image display field where it saw superficially, and has put on said scanning line partially at least, and said pixel electrode has been arranged along with said scanning line.

[Claim 8] Said 1st capacity line is an electro-optic device given in any 1 term of claims 1-7 characterized by having seen superficially, having put on said 2nd capacity electrode partially at least, and being installed in the perimeter from said image display field along said direction of the scanning line.

[Claim 9] It is an electro-optic device given in any 1 term of claims 1-8 which said middle conductive layer and said 1st capacity line consist of electric conduction film of protection-from-light nature, and look at said 1st capacity line superficially, and are characterized by the thing of said semi-conductor layer for which a channel field is covered at least.

[Claim 10] Said middle conductive layer is an electro-optic device given in any 1 term of claims 1-9

characterized by consisting of multilayers.

[Claim 11] The thickness of said 1st interlayer insulation film is an electro-optic device given in any 1 term of claims 1–10 characterized by being 500nm or more.

[Claim 12] It is an electro-optic device given in any 1 term of claims 1–10 which the thickness of said 1st interlayer insulation film is 500nm or less, and are characterized by seeing superficially and having not put said 1st capacity line on the channel field and its adjoining field of said semi-conductor layer at least.

[Claim 13] An electro-optic device given in any 1 term of claims 1–12 characterized by having further the 3rd capacity electrode by which consisted of the same film as said middle conductive layer and said 1st capacity line, and opposite arrangement was carried out with said capacity line through said 1st interlayer insulation film on said substrate.

[Claim 14] It is an electro-optic device given in any 1 term of claims 1–13 which said 2nd capacity electrode consists of the 2nd capacity line which it comes to install in the perimeter from said image display field along with said scanning line, and are characterized by coming to connect said 2nd capacity line with said 1st capacity line.

[Claim 15] An electro-optic device given in any 1 term of claims 1–14 characterized by having seen the channel field of said semi-conductor layer from said substrate side at least, and having a wrap light-shielding film further on said substrate.

[Claim 16] Said light-shielding film is an electro-optic device given in any 1 term of claims 1–15 characterized by connecting with said 1st capacity line for said every pixel electrode, and it being installed in the perimeter from said image display field, and coming to connect with the constant source of potential.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of the electro-optic device of a active-matrix drive method, and it belongs to the technical field of the electro-optic device of the format equipped with the middle conductive layer for taking an electric flow good into the laminated structure on a substrate between the pixel electrode and the thin film transistor for pixel switching (TFT is called suitably below Thin Film Transistor;) while it is equipped with the capacity line for adding storage capacitance especially to a pixel electrode.

[0002]

[Background of the Invention] Conventionally, if a scan signal is supplied to the gate electrode of TFT through the scanning line in the electro-optic device of the active-matrix drive method by TFT drive,

TFT will be made into an ON state and the picture signal supplied to the source field of a semi-conductor layer through the data line will be supplied to a pixel electrode through the TFT concerned. Since only a short time is extremely performed for every pixel electrode, in order to cover a long time farther than the time amount made into the ON state and to hold the electrical potential difference of a picture signal, as for supply of such a picture signal, it is common to each pixel electrode that storage capacitance is added.

[0003] On the other hand, between electric conduction film, such as ITO (Indium Tin Oxide) film which constitutes a pixel electrode from this kind of an electro-optic device, and the semi-conductor layer which constitutes TFT for pixel switching, two or more laminatings of gate dielectric film and the interlayer insulation film for insulating electrically the various electric conduction film which constitutes the scanning line, the data line, etc., and these electric conduction film from mutual are carried out, and the distance between these pixel electrodes and semi-conductor layers is long to about 1000nm. Therefore, it is technically difficult to connect these pixel electrodes and semi-conductor layers electrically by one contact hole. Then, the technique which forms the middle conductive layer which connects a pixel electrode and a semi-conductor layer electrically between interlayer insulation films is developed. Moreover, if such a middle conductive layer is used, etching at the time of contact hole puncturing runs, and it is supposed that it is useful also to prevention.

[0004]

[Problem(s) to be Solved by the Invention] in this kind of electro-optic device, it becomes important to raise a pixel numerical aperture (that is, for the opening field which display light penetrates to be extended in each pixel), simultaneously to make low wiring resistance of various wiring, such as the data line, the scanning line, and a capacity line, a general request called high-definition-izing of a display image being strong, and, for that, making a pixel pitch detailed.

[0005] However, although the line breadth of the data line or the scanning line itself will be narrowed by pitch minutely high numerical aperture-ization of a pixel, generally the scanning line and a capacity line are formed from the conductive polish recon film on the grounds that after forming (i) scanning line and a capacity line, a hot heat treatment process's being the need and (ii) scanning line are used also as a gate electrode of a thin film transistor etc. Therefore, if scanning-line width of face and capacity line breadth are narrowed or drive frequency is raised with highly-minute-izing with a raise in the numerical aperture of a pixel [pitch minutely in this way], the magnitude of the time constant in a capacity line will pose a problem. That is, there is a trouble that image quality degradation of display images, such as a cross talk of the longitudinal direction which is a direction which met the scanning line by wiring resistance of a capacity line, a ghost's generating, and a fall of a contrast ratio, actualizes with a raise in the numerical aperture of a pixel.

[0006] This invention is made in view of an above-mentioned trouble, while raising a pixel numerical aperture, low resistance-ization of a capacity line can be attained, and let it be a technical problem to offer the electro-optic device in which the high-definition image display by which the cross talk and the ghost were reduced is possible.

[0007]

[Means for Solving the Problem] In order that the electro-optic device of this invention may solve the above-mentioned technical problem, on a substrate A thin film transistor, The middle conductive layer which carries out trunk connection of a pixel electrode, this pixel electrode, and the semi-conductor layer that constitutes said thin film transistor, The scanning line connected to said thin film transistor, and the data line connected to said thin film transistor while intersecting this scanning line, said semi-conductor layer -- said -- a layer -- it becomes the 1st capacity electrode from the 2nd capacity electrode by which opposite arrangement was carried out through the insulating thin film, and the same film as said middle conductive layer, and has said 1st capacity line connected with said 2nd capacity electrode.

[0008] According to the electro-optic device of this invention, a picture signal and a scan signal are

supplied to a thin film transistor through the data line and the scanning line, respectively at the time of the actuation, and each pixel electrode drives, under the present circumstances, since the electrical-potential-difference maintenance property of the picture signal in a pixel electrode is markedly alike and improves with the storage capacitance built by carrying out opposite arrangement of the 1st capacity electrode and the 2nd capacity electrode through an insulating thin film, it becomes possible to raise the contrast ratio by the electro-optic device concerned.

[0009] In this invention, it becomes possible [a semi-conductor layer and a pixel electrode], even if sum total thickness, such as the scanning line among both, the data line, and an interlayer insulation film, is large, since trunk connection is carried out by the middle conductive layer to connect between both good by two contact holes of a minor diameter comparatively, and leads also to improvement in a pixel numerical aperture. And if such a middle conductive layer is used, etching at the time of contact hole puncturing for connecting a pixel electrode with a middle conductive layer will run, and it will be useful also to prevention. Here, since the 1st capacity line connected to the 2nd capacity electrode by the same film as a middle conductive layer is formed, low resistance-ization of a capacity line can be attained. Since it is not necessary to form a capacity line by the same film as the scanning line and the 1st capacity line is formed in another layer by this, even if a pixel pitch makes it detailed, a pixel numerical aperture can be improved. Moreover, since wiring width of face can also be formed thickly, low resistance-ization of a capacity line can be attained and a cross talk and a ghost can be reduced effectively. Thereby, display grace can be improved, making a pixel pitch detailed. And since such a 1st capacity line can be constituted from same film as a middle conductive layer with the junction function like **** etc., it is as unnecessary as the additional processing for forming a capacity line in a manufacture process, and it is very advantageous.

[0010] In the mode of 1 of the electro-optic device of this invention, said 2nd capacity electrode and said scanning line consist of same electric conduction film.

[0011] According to this mode, the 2nd capacity electrode and the scanning line consist of same electric conduction film, such as for example, polish recon film, and the laminated structure which constitutes a middle conductive layer and the 1st capacity line through an interlayer insulation film on this and to which the laminating of the electric conduction film, such as refractory metal film, was carried out, for example is obtained. Thus, the scanning line and the 2nd capacity electrode can be made in a comparatively simple laminated structure.

[0012] In other modes of the electro-optic device of this invention, the 1st interlayer insulation film is formed between said 1st capacity lines and said 2nd capacity electrodes, and said 1st capacity line and said 2nd capacity electrode are connected through the contact hole punctured by said 1st interlayer insulation film for said every pixel electrode.

[0013] According to this mode, the 1st capacity line and the 2nd capacity electrode by which the laminating was carried out through the 1st interlayer insulation film are electrically connected through the contact hole for every pixel electrode. Therefore, it becomes possible to lower resistance of a capacity line efficiently, the potential of the 1st capacity line setting the thickness of the 1st interlayer insulation film as the magnitude of extent which does not have a bad influence on actuation of a thin film transistor like the above-mentioned.

[0014] Or in other modes of the electro-optic device of this invention, the 1st capacity line and the 2nd capacity electrode by which the laminating was carried out through the 1st interlayer insulation film are connected through the contact hole for two or more pixel electrodes of every.

[0015] Therefore, it becomes possible to lower resistance of a capacity line, the potential of the 1st capacity line setting the thickness of the 1st interlayer insulation film as the thickness of extent which does not have a bad influence on actuation of a thin film transistor like the above-mentioned.

[0016] In other modes of the electro-optic device of this invention, said middle conductive layer and said 1st capacity line are formed in the laminating location of the lower part of said data line through the upper part of said scanning line, and the 2nd interlayer insulation film through said 1st interlayer

insulation film.

[0017] According to this mode, the laminated structure by which the scanning line was formed on the substrate, the middle conductive layer and the 1st capacity line were formed through the 1st interlayer insulation film on this, and the data line was further formed through the 2nd interlayer insulation film on this is obtained. Thus, since the conductive layer formed in the latest of a thin film transistor from the opposite substrate side by preparing a conductive layer between the laminatings of the scanning line and the data line to the light which carried out incidence carries out the duty which shades light, it is very advantageous.

[0018] It connects through the contact hole punctured by said 1st interlayer insulation film, and said 1st capacity line and said 2nd capacity electrode may constitute said contact hole from this mode so that it may be located in the field in which it saw superficially and said data line was formed.

[0019] Thus, if constituted, since it is arranged under the data line, the contact hole which connects the 2nd capacity electrode with the 1st capacity line can connect the 1st capacity line and the 2nd capacity electrode electrically using the protection-from-light field which met the data line, making it not lower the numerical aperture of each pixel by existence of a contact hole.

[0020] In other modes of the electro-optic device of this invention, said 1st capacity line was seen superficially, is partially put on said scanning line at least, and is installed in the perimeter from the image display field where said pixel electrode has been arranged along with said scanning line.

[0021] It becomes possible to form the 1st capacity line which results to [out of an image display field] the perimeter of an image display field, making it not lower the numerical aperture of each pixel by wiring the 1st capacity line using the protection-from-light field which is each pixel in which it saw superficially and the scanning line was formed according to this mode. Under the present circumstances, since the 1st capacity line can be formed on the scanning line through the 1st interlayer insulation film, the wiring width of face of the 1st capacity line can be formed thickly, and low resistance-ization of a capacity line can be realized further.

[0022] In other modes of the electro-optic device of this invention, said 1st capacity line was seen superficially, is partially put on said 2nd capacity electrode at least, and is installed in the perimeter from said image display field along said direction of the scanning line.

[0023] According to this mode, it becomes possible to form the 1st capacity line which results to [out of an image display field] the perimeter of an image display field, making it not lower the numerical aperture of each pixel by wiring the 1st capacity line using the protection-from-light field of each pixel in which it saw superficially and the 2nd capacity electrode was formed. Under the present circumstances, since the 1st capacity line can be formed on the 2nd capacity electrode through the 1st interlayer insulation film, the wiring width of face of the 1st capacity line can be formed thickly, and low resistance-ization of a capacity line can be realized further. In addition, such a 1st capacity line could be seen superficially and may be put on both the scanning line and the 2nd capacity electrode.

[0024] Even if said middle conductive layer and said 1st capacity line consist of electric conduction film of protection-from-light nature in other modes of the electro-optic device of this invention, it sees said 1st capacity line superficially and there are few said semi-conductor layers, it is a wrap about a channel field.

[0025] Such a middle conductive layer and the 1st capacity line consist of the metal simple substance containing at least one of refractory metals, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), an alloy, metal silicide, etc. thus -- for example, the case where the 2nd capacity electrode is formed from the same polish recon film as the scanning line -- this quality of the material -- not related -- the 1st capacity line -- low -- it becomes possible by forming from a metal membrane [****] to attain low resistance-ization of a capacity line. Furthermore, the 1st capacity line of protection-from-light nature can protect the leakage current which produces a channel field at least in the thing of a semi-conductor layer which the light from an opposite substrate does to a channel field for incidence by that of a wrap. Thereby, the fault of the transistor characteristics in the

OFF state of a thin film transistor changing can be prevented. Furthermore, it also becomes possible to specify the profile of the opening field of each pixel partially at least. In addition, it becomes more possible rather than shading with the data line performing more positive protection from light by shading by the 1st capacity line which is in the laminating location near a thin film transistor compared with the data line in this way.

[0026] Said middle conductive layer consists of multilayers in other modes of the electro-optic device of this invention.

[0027] According to this mode, the degree of freedom about the ingredient used in order to satisfy the resistance demanded as a middle conductive layer or the 1st capacity line and protection-from-light nature, or structure increases by, for example, constituting a middle conductive layer and the 1st capacity line from multilayers called the electric conduction film which becomes a lower layer from a refractory metal or its alloy at the polish recon film and the upper layer. Consequently, improvement in equipment dependability and easy-ization of a production process can be attained, and it is further connected also with cost reduction.

[0028] In other modes of the electro-optic device of this invention, the thickness of said 1st interlayer insulation film is 500nm or more.

[0029] this voice -- if it depends like, since the 1st interlayer insulation film of 500nm or more of thickness is formed between the 1st capacity line and the 2nd capacity electrode, even if a part of 1st capacity line is formed in the plane region in which the 2nd capacity electrode is not formed in and the semi-conductor layer is formed, the potential of the 1st capacity line has a bad influence on actuation of a thin film transistor -- most -- or there is completely nothing. On the contrary, it becomes possible by covering a semi-conductor layer by the 1st capacity line to give effectively protection from light to a thin film transistor.

[0030] In other modes of the electro-optic device of this invention, the thickness of said 1st interlayer insulation film is 500nm or less, it sees superficially and said 1st capacity line is not put on the channel field and its adjoining field of said semi-conductor layer at least.

[0031] Since the 1st interlayer insulation film of 500nm or less of thickness was formed between the 1st capacity line and the 2nd capacity electrode, if a part of 1st capacity line was formed in the plane region in which the 2nd capacity electrode is not temporarily formed in, and the semi-conductor layer is formed according to this mode, the potential of the 1st capacity line may have a bad influence on actuation of a thin film transistor. however, the thing for which the potential of the 1st capacity line has a bad influence on actuation of a thin film transistor in this invention even if the thickness of the 1st interlayer insulation film is comparatively thin in this way, since the 1st capacity line is not put on the channel field and its adjoining field of a semi-conductor layer at least -- most -- or there is completely nothing.

[0032] In other modes of the electro-optic device of this invention, it has further the 3rd capacity electrode by which consisted of the same film as said middle conductive layer and said 1st capacity line, and opposite arrangement was carried out with said capacity line through said 1st interlayer insulation film.

[0033] According to this mode, since opposite arrangement is carried out through the 1st interlayer insulation film, construction of storage capacitance of the 3rd capacity electrode and the 2nd capacity electrode which consist of the same film as a middle conductive layer and the 1st capacity line is attained also among these both. That is, in addition to the storage capacitance built using the 1st and 2nd capacity electrode, other storage capacitance is built in three dimensions, and it becomes possible to increase the storage capacitance given to a pixel electrode as a whole. Namely, it is better to be the level which does not affect actuation of a thin film transistor, and to form the thickness of the 1st interlayer insulation film in this case, as thinly as possible from a viewpoint to which storage capacitance is made to increase since a part of 1st interlayer insulation film functions also as a dielectric film of storage capacitance. Thus, since increase of storage capacitance and low resistance-ization of a

capacity line can be attained to coincidence using the electric conduction film which constitutes a middle conductive layer, the 1st capacity line, and the 3rd capacity electrode according to this invention, it is very advantageous when realizing the high definition electro-optic device of a high numerical aperture.

[0034] Said 2nd capacity electrode consists of the 2nd capacity line which it comes to install in the perimeter from said image display field along with said scanning line, and it comes to connect said 2nd capacity line with said 1st capacity line in other modes of the electro-optic device of this invention.

[0035] According to this mode, the 2nd capacity electrode is installed along with the scanning line, and the 2nd capacity line is formed. Thereby, the multilayer interconnection in another layers, such as the 1st capacity line and the 2nd capacity line, becomes possible, and wiring resistance of about [becoming redundant structure] and a capacity line can be reduced further.

[0036] In other modes of the electro-optic device of this invention, on said substrate, the channel field of said semi-conductor layer is seen from said substrate side at least, and it has a wrap light-shielding film further.

[0037] According to this mode, by the light-shielding film arranged at the semi-conductor layer bottom, the rear-face reflection in the electro-optic device concerned, and when using combining two or more [especially] electro-optic devices as a light valve of the projector for color displays, a channel field can be shaded to the light and the reflected light which run through synthetic optical system. Consequently, inhibition becomes possible effectively about the situation where the property of a thin film transistor changes not only with incident light but with the reflected lights.

[0038] It connects with said 1st capacity line for said every pixel electrode, and said light-shielding film is installed in the perimeter from said image display field, and it comes to connect it with the constant source of potential in other modes of the electro-optic device of this invention.

[0039] According to this mode, redundant structure of a capacity line is realized by installing the light-shielding film for shading a thin film transistor to the perimeter of an image display field, connecting with constant sources of potential, such as a circumference circuit, and connecting a light-shielding film with the 1st capacity line for every pixel electrode further. That is, a capacity line can be further formed into low resistance by operating wiring of a light-shielding film as the 3rd capacity line.

[0040] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0041]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained based on a drawing. Each following operation gestalt applies the electro-optic device of this invention to liquid crystal equipment.

[0042] (The 1st operation gestalt) The configuration of the liquid crystal equipment in the 1st operation gestalt of this invention is explained with reference to drawing 3 from drawing 1 . Drawing 1 is equal circuits, such as various components in two or more pixels formed in the shape of [which constitutes the image display field of liquid crystal equipment] a matrix, and wiring. Drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other, and drawing 3 is the A-A' sectional view of drawing 2 . In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 3 .

[0043] In drawing 1 , TFT30 for two or more pixels formed in the shape of [which constitutes the image display field of the liquid crystal equipment in this operation gestalt] a matrix to control pixel electrode 9a and the pixel electrode 9a concerned is formed, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, it is constituted so that scanning-

line 3a is electrically connected to the gate of TFT30, and it may be impressed by scanning-line 3a to predetermined timing and it may impress the scan signals G1, G2, --, Gm to this order by line sequential. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in liquid crystal as an example of electrooptic material through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display.

According to the electrical potential difference impressed when it was in no MARI White mode, passage of incident light is made impossible, if it is in NOMA reeve rack mode, passage of incident light will be enabled according to the impressed electrical potential difference, and light with the contrast according to a picture signal will carry out outgoing radiation from an electro-optic device as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode. Storage capacitance 70 is formed through the dielectric film between the capacity electrode electrically connected with pixel electrode 9a, and the capacity electrode electrically connected with the capacity line 300 which supplies constant potential.

[0044] In drawing 2, on the TFT array substrate of an electro-optic device, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a and scanning-line 3a are prepared respectively along the boundary of pixel electrode 9a in every direction. Data-line 6a is electrically connected to the below-mentioned source field among semi-conductor layer 1a which consists of polish recon film through a contact hole 5. Pixel electrode 9a is electrically connected to the below-mentioned drain field among semi-conductor layer 1a through contact holes 83 and 84 by relaying the barrier layer 80 of the shape of an island shown in the slash field of a drawing Nakamigi riser as an example of a middle conductive layer. Moreover, scanning-line 3a is arranged so that the bottom of Fig. Nakamigi may counter channel field 1a' shown in the slash field of ** among semi-conductor layer 1a, and scanning-line 3a functions as a gate electrode. Thus, TFT30 for pixel switching by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.

[0045] Especially with this operation gestalt, the 1st capacity line 82 is formed in the field shown in the slash field of a drawing Nakamigi riser from the same film as the barrier layer 80. It is prepared in the 1st capacity line 82 so that the island-like barrier layer 80 may be avoided, and the 1st capacity line 82 is separated into it from the barrier layer 80. The stripe-like 1st capacity line 82 is broadly formed in the method of drawing Nakashita from the location which counters TFT30 to this side of a contact hole 5, and, in addition to channel field 1a', ensures protection from light to the incident light of the adjoining field. Moreover, 2nd capacity line 3b is formed by the same film as scanning-line 3a. 2nd capacity line 3b forms the storage capacitance 70 of drawing 1 in the part (the 2nd capacity electrode) which has lapped with the 1f of the 1st capacity electrodes installed from semi-conductor layer 1a through the insulating thin film (it mentions later). Here, the capacity line 300 shown by drawing 1 can be formed into low resistance by connecting electrically the 1st capacity line 82 and 2nd capacity line 3b to each pixel electrode 9a of every in a contact hole 85. Or you may connect with every [which is arranged along with scanning-line 3a] two or more pixel electrode 9a electrically in a contact hole 85. From the image display field where pixel electrode 9a has been arranged, the 1st capacity line 82 is installed in the perimeter, and is electrically connected with the constant source of potential. The constant source of potential of a positive supply or a negative supply supplied to the data-line drive circuit (it mentions later) which controls the sampling circuit which supplies the scanning-line drive circuit (it mentions later) and picture signal for supplying the scan signal for driving TFT30 to scanning-line 3a as a constant

source of potential to data-line 6a is sufficient, and the constant source of potential supplied to an opposite substrate is also available. By also installing 2nd capacity line 3b in the perimeter, and connecting it to the constant source of potential electrically from an image display field, similarly, the capacity line 300 of redundant structure can be formed by the 1st capacity line 82 and 2nd capacity line 3b, and wiring resistance can be reduced further. Moreover, the contact hole 85 which connects 2nd capacity line 3b with the 1st capacity line 82 is good to make it arrange under data-line 6a. It can avoid lowering a pixel numerical aperture because this uses the protection-from-light field in alignment with data-line 6a.

[0046] Furthermore, with this operation gestalt, the 2nd capacity electrode which is a part of 2nd capacity line 3b may be formed in each pixel electrode 9a of every independently of the shape of an island. In this case, what is necessary is just to connect electrically the 1st capacity line 82 and the 2nd capacity electrode to each pixel electrode 9a of every in a contact hole 85 as wiring which supplies constant potential, although not functioned as wiring of the capacity line 300. Since it is not necessary to form the capacity line 300 in the same layer as scanning-line 3a by this, a pixel numerical aperture can be raised and it is advantageous.

[0047] Moreover, in drawing 2, 1st light-shielding film 11a containing a wrap part is formed in each field in alignment with scanning-line 3b enclosed with a thick wire in the shape of a stripe along with scanning-line 3a and 2nd capacity line 3b from the TFT array substrate side in TFT30. 1st light-shielding film 11a has projected the contact hole 5 to the method of drawing Nakashita to the wrap location from the location which counters TFT30. 1st light-shielding film 11a shades the return light from the rear face and incident light study system of a TFT array substrate, and prevents effectively that the property of TFT30 changes with optical pumping based on this light owing to the leakage current at the time of OFF of TFT30. Such 1st protection-from-light layer 11a becomes in the metal simple substance, the alloy, metal silicide, etc. and the polish recon film containing at least one of refractory metals, such as Ti, Cr, W, Ta, Mo, and Pb. In combining two or more electro-optic devices by the projector for the color displays of a double plate type etc. through prism etc. and constituting one optical system especially, in order to influence by other electro-optic devices of the return light which runs through prism etc., it is very effective to prepare 1st light-shielding film 11a in TFT30 bottom. 1st light-shielding film 11a forms wiring in the direction in alignment with scanning-line 3a, or the direction in alignment with data-line 6a the shape of a stripe, and in the shape of a matrix, from the image display field where pixel electrode 9a has been arranged, is installed in the perimeter and is electrically connected with the constant source of potential. As a constant source of potential, it may be the same as the constant potential supplied to the 1st capacity line 82, and you may differ. Here, 1st light-shielding film 11a can also be operated as the 3rd light-shielding film by connecting 1st light-shielding film 11a with the 1st capacity line 82 electrically through a contact hole at every pixel electrode 9a. If such a configuration is taken, it not only can build the capacity line 300 by redundant structure, but it will become possible to reduce wiring resistance further. The contact hole for connecting 1st light-shielding film 11a with the 1st capacity line 82 can be easily established in the lower part of data-line 6a.

[0048] Next, as shown in the sectional view of drawing 3, the electro-optic device is equipped with the transparent TFT array substrate 10 and the transparent opposite substrate 20 by which opposite arrangement is carried out at this. The TFT array substrate 10 consists of for example, a quartz substrate, a glass substrate, and a silicon substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate. Pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive thin films, such as for example, ITO film. Moreover, the orientation film 16 consists of organic thin films, such as for example, a polyimide thin film.

[0049] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing

processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive thin films, such as for example, ITO film. Moreover, the orientation film 22 consists of organic thin films, such as a polyimide thin film.

[0050] TFT30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the location which adjoins each pixel electrode 9a at the TFT array substrate 10.

[0051] You may make it form the 2nd light-shielding film 23, as further shown in the opposite substrate 20 at drawing 3. By taking such a configuration, incident light does not invade into channel field 1a' of semi-conductor layer 1a of TFT30 for pixel switching, low concentration source field 1b, and low concentration drain field 1c from the opposite substrate 20 side. furthermore, the field where incident light is irradiated to the 2nd light-shielding film 23 -- high -- it serves to prevent the temperature rise of an electro-optic device by forming by the film [****].

[0052] in addition, data-line 6a excluding the formation field of a contact hole 5 by shading the part which met data-line 6a among the protection-from-light fields of each pixel by data-line 6a of the protection-from-light nature which consists of aluminum film etc., and forming the 1st capacity line 82 by the film of protection-from-light nature in this operation gestalt, -- it can set caudad and can shade.

[0053] Thus, it is constituted, and between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and a counterelectrode 21 may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the below-mentioned sealant, and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick the TFT array substrate 10 and the opposite substrate 20 around those, and gap material, such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is mixed.

[0054] Furthermore, the substrate insulator layer 12 is formed between 1st light-shielding film 11a and TFT30 for pixel switching. The substrate insulator layer 12 has the function to prevent the contamination of TFT30 by 1st light-shielding film 11a, and to prevent change of the property of TFT30 for pixel switching with the dry area at the time of polish of TFT array substrate 10 front face, the dirt which remains after washing, by being formed all over the TFT array substrate 10.

[0055] Storage capacitance 70 consists of these operation gestalten by installing semi-conductor layer 1a from high concentration drain field 1e, considering as the 1f of the 1st capacity electrodes, using as the 2nd capacity electrode a part of 2nd capacity line 3b which counters this, and using the insulating thin film 2 containing gate dielectric film as a dielectric film. As shown in drawing 2 and drawing 3, 2nd capacity line 3b is installed, storage capacitance 70 is formed also in the bottom of data-line 6a, and the deployment of a non-opening field is achieved.

[0056] In drawing 3 TFT30 for pixel switching It has LDD (Lightly Doped Drain) structure. Channel field 1a' of semi-conductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and concerned scanning-line 3a, 1d list of high concentration source fields of low concentration source field 1b of the insulating thin film 2 containing the gate dielectric film with which scanning-line 3a and semi-conductor layer 1a are insulated, data-line 6a, and semi-conductor layer 1a and low concentration drain field 1c, and semi-conductor layer 1a is equipped with high concentration drain field 1e. Trunk connection of the one to which it corresponds of two or more pixel electrode 9a is carried out to high concentration drain field 1e by the barrier layer 80 through contact holes 83 and 84. Moreover, on scanning-line 3a and 2nd capacity line 3b, the 1st interlayer insulation film 81 with which the contact hole 83 which leads to the contact hole 5 and high concentration drain field 1e which lead to 1d of high concentration source fields was formed respectively is formed.

[0057] On the 1st interlayer insulation film 81, the 1st capacity line 82 which consists of the same film as the barrier layer 80 and this which carry out trunk connection of TFT30 and the pixel electrode 9a

through contact holes 83 and 84 is formed. Thus, since high concentration drain field 1e and pixel electrode 9a are electrically connected via the barrier layer 80 through contact holes 83 and 84, as compared with the case where one contact hole is punctured, the path of a contact hole 83 and a contact hole 84 can be made small from pixel electrode 9a to a drain field, respectively. Furthermore, the barrier layer 80 and the 1st capacity line 82 can be formed from the metal simple substance which contains [at least one] refractory metals, such as Ti, Cr, W, Ta, Mo, and Pb, etc., an alloy, metal silicide, etc., and it can substitute for them as a light-shielding film for specifying a protection-from-light field. Moreover, it cannot be overemphasized that you may form by electric conduction film, such as polish recon film. Thereby, connection electric good can be taken among barrier layer 80 and pixel electrode 9a through a contact hole 84.

[0058] On the barrier layer 80 and the 1st capacity line 82, the 2nd interlayer insulation film 4 with which the contact hole 84 which leads to the contact hole 5 and the barrier layer 80 which lead to 1d of high concentration source fields was formed respectively is formed.

[0059] Data-line 6a is formed on the 2nd interlayer insulation film 4, and the 3rd interlayer insulation film 7 with which the contact hole 84 to the barrier layer 80 was formed is further formed on these. The above-mentioned pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 7 constituted in this way.

[0060] this operation gestalt -- especially -- the 1st capacity line 82 -- low -- since it can constitute from film containing a refractory metal [****], low resistance-ization of the capacity line 300 in drawing 1 can be attained. Therefore, at the time of actuation of the electro-optic device of this operation gestalt, the cross talk and ghost of a direction in alignment with scanning-line 3a can be reduced effectively, and a contrast ratio can be improved. And since the 1st capacity line 82 is constituted from same film as the barrier layer 80 with the junction function like **** etc., it is as unnecessary as the additional processing for forming the 1st capacity line 82 in the manufacture process mentioned later, and it is very advantageous in respect of cost.

[0061] if the thickness of the 1st interlayer insulation film 81 between the 1st capacity line 82 and 2nd capacity line 3b is formed by 500nm or more, even if the 1st capacity line 82 will be formed above scanning-line 3a or TFT30 with this operation gestalt, the potential of the 1st capacity line 82 has a bad influence on actuation of TFT30 -- most -- or there is completely nothing. By this, since the 1st capacity line 82 can be formed through the 1st interlayer insulation film 81 and the 2nd interlayer insulation film 4 between the laminatings of scanning-line 3a and data-line 6a It can shade certainly to the incident light from the opposite substrate 20 side by substituting for this 1st capacity line 82 as a light-shielding film, and TFT30 regarding it as channel field 1a', scanning-line 3a, and 2nd capacity line 3b superficially at least, and piling up partially. Therefore, it can prevent that the transistor characteristics of TFT30 change by protection from light by 1st light-shielding film 11a by the side of the TFT array substrate 10, and the 1st capacity line 82 when light carries out incidence to channel field 1a' and its adjoining field. Thus, by the 1st capacity line 82, since most protection-from-light fields can be specified, the 2nd light-shielding film 23 on the opposite substrate 20 can be removed. Thereby, permeability dispersion by lamination gap of the TFT array substrate 10 and the opposite substrate 20 can be reduced sharply. Furthermore, since a reflection factor can form the 1st capacity line 82 from the low refractory metal film compared with aluminum film, it can carry out before-it-happens prevention of the situation where slanting incident light and the multiple echo light from the rear face of data-line 6a result in TFT30, efficiently. In addition, what is necessary is just to set up individually concretely by theoretical count, simulation, etc. experientially or experimentally according to transistor characteristics, the image grace, or the equipment specification required of TFT30 as a concrete value of the thickness of the 1st interlayer insulation film 81 which is such 500nm or more.

[0062] With the operation gestalt explained above, the TFT array substrate 10, the substrate insulator layer 12, the 1st interlayer insulation film 81, and the 2nd interlayer insulation film 4 are trenched. By embedding wiring and the TFT30 grade of data-line 6a etc., may perform flattening processing and

grinding the level difference of the top face of the 3rd interlayer insulation film 7 or the 2nd interlayer insulation film 4 by CMP (Chemical Mechanical Polishing) processing etc. -- or flattening processing may be performed using the organic SOG film.

[0063] Furthermore, although TFT30 for pixel switching has LDD structure with the operation gestalt explained above as preferably shown in drawing 3, you may be TFT of the self aryne mold which may have the offset structure which does not drive an impurity into low-concentration source field 1b and low-concentration drain field 1c, drives in an impurity by high concentration by using as a mask the gate electrode which consists of a part of scanning-line 3a, and forms the high-concentration source and a drain field in self align. Moreover, although considered as the single gate structure which has arranged one gate electrode of TFT30 for pixel switching among 1d [of high concentration source fields], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a joint with a channel, the source, and a drain field can be prevented, and the current at the time of OFF can be reduced.

[0064] (Manufacture process of the 1st operation gestalt) Next, the manufacture process of the electro-optic device of the 1st operation gestalt with the above configurations is explained with reference to drawing 4 and drawing 5. It is process drawing in which drawing 4 and drawing 5 making each class by the side of the TFT array substrate in each process correspond to the A-A' cross section of drawing 2 like drawing 3 here, and showing order later on.

[0065] As first shown in the process (1) of drawing 4, the TFT array substrates 10, such as a quartz substrate, a glass substrate, and a silicon substrate, are prepared. Here, it heat-treats preferably at inert gas ambient atmospheres, such as N₂ (nitrogen), and an about 900–1300-degree C elevated temperature, and it pretreats so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease. That is, according to the temperature processed at the maximum elevated temperature in a manufacture process, the TFT array substrate 10 is heat-treated at the same temperature or the temperature beyond it in advance. and the whole surface of the TFT array substrate 10 processed in this way -- metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, -- sputtering -- about 100–500nm thickness -- 1st light-shielding film 11a of about 200nm thickness is formed preferably. In addition, on 1st light-shielding film 11a, in order to ease surface reflection preferably, antireflection films, such as polish recon film, may be formed.

[0066] As shown in the process (2) of drawing 4, next, on 1st light-shielding film 11a With ordinary pressure or a reduced pressure CVD method, for example, TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. are used. NSG (non doped silicate glass), PSG (Lynn silicate glass), The substrate insulator layer 12 which consists of silicate glass film, such as BSG (boron silicate glass) and BPSG (boron phosphorus silicate glass), a silicon nitride film, silicon oxide film, etc. is formed. The thickness of this substrate insulator layer 12 may be about 500m – 2000nm.

[0067] Next, as shown in the process (3) of drawing 4, on the substrate insulator layer 12, comparatively, the amorphous silicon film is formed with the reduced pressure CVD (for example, CVD with a pressure of about 20–40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in a low-temperature environment, and about 450–550 degrees C semi-conductor layer 1a is preferably formed according to a photolithography process, an etching process, etc. Then, in nitrogen-gas-atmosphere mind, at about 600–700 degrees C, preferably, solid phase growth of the polish recon film is carried out by ***** which performs heat treatment of 4 – 6 hours for about 1 to 10 hours until it becomes the thickness of about 100nm preferably in about 50–200nm thickness. As an approach of carrying out solid phase growth, heat treatment using RTA (Rapid Thermal Anneal) is sufficient, and an excimer laser etc. may be used.

[0068] Under the present circumstances, as TFT30 for pixel switching, when creating TFT30 for pixel switching of an n channel mold, the impurity of V group elements, such as Sb (antimony), As (arsenic),

and P (Lynn), may be slightly doped by an ion implantation etc. to the channel field concerned. Moreover, when using TFT30 for pixel switching as a p channel mold, the impurity of III group elements, such as B (boron), Ga (gallium), and In (indium), may be slightly doped by an ion implantation etc. In addition, the polish recon film may be directly formed with a reduced pressure CVD method etc. without passing through the amorphous silicon film. Or silicon ion is driven into the polish recon film deposited with the reduced pressure CVD method etc., and it is once made amorphous, and after that, it is made to recrystallize by heat treatment etc. and the polish recon film may be formed.

[0069] As shown in the process (4) of drawing 4, semi-conductor layer 1a which constitutes TFT30 for pixel switching next, the temperature of about 900–1300 degrees C, and by oxidizing thermally with the temperature of about 1000 degrees C preferably Form the thermal oxidation silicon film with a comparatively thin thickness of about 30nm, and insulator layer 2b which consists of high-temperature-oxidation silicon film (HTO film) or a silicon nitride film with a reduced pressure CVD method etc. is further deposited on the comparatively thin thickness of about 50nm. The insulating thin film 2 with the multilayer structure containing thermal oxidation silicon film 2a and insulator layer 2b is formed. consequently, the thickness of semi-conductor layer 1a -- the thickness of about 30–150nm -- desirable -- the thickness of about 35–50nm -- becoming -- the thickness of the insulating thin film 2 -- the thickness of about 20–150nm -- it becomes the thickness of about 30–100nm preferably. Thus, by shortening elevated-temperature thermal oxidation time amount, when using especially a large-sized substrate 10cm or more, the camber by heat can be prevented. However, the insulating thin film 2 with monolayer structure may be formed only by oxidizing thermally semi-conductor layer 1a.

[0070] Next, as shown in the process (5) of drawing 4, after forming the resist layer 500 according to a photolithography process, an etching process, etc. on semi-conductor layer 1a except the part used as the 1f of the 1st capacity electrodes, P ion may be doped in about $3 \times 10^{12}/\text{cm}^2$ of doses, and the 1f of the 1st capacity electrodes may be formed into low resistance.

[0071] Next, as shown in the process (6) of drawing 4, 2nd capacity line 3b containing scanning-line 3a and the 2nd capacity electrode is first formed according to the photolithography process using a resist mask, an etching process, etc. furthermore, when setting TFT30 for pixel switching to TFT of an n channel mold with LDD structure, in order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a first, the impurity of V group elements, such as P, is doped by low concentration by using scanning-line 3a as a mask (for example, P ion -- the dose of one to $3 \times 10^{13}/\text{cm}^2$). Thereby, semi-conductor layer 1a under scanning-line 3a becomes channel field 1a'.

[0072] next, as show in the process (7) of drawing 5, in order to form 1d of high concentration source fields and high concentration drain field 1e which constitute TFT30 for pixel switching, after form the resist layer 600 on scanning line 3a with a mask with wide width of face rather than scanning line 3a, similarly the impurity of V group elements, such as P, be dope by high concentration (for example, P ion -- the dose of one to $3 \times 10^{15}/\text{cm}^2$). Moreover, to semi-conductor layer 1a, when using TFT30 for pixel switching as a p channel mold, in order to form 1d of high concentration source fields, and high concentration drain field 1e in low concentration source field 1b and a low concentration drain field 1c list, the impurity of III group elements, such as B, is used and doped.

[0073] Next, as shown in the process (8) of drawing 5, after removing the resist layer 600, the 1st interlayer insulation film 81 is formed by depositing the high-temperature-oxidation silicon film (HTO film) and a silicon nitride film on comparatively thick thickness about 500nm or more by the reduced pressure CVD method, a plasma-CVD method, etc. on scanning-line 3a and 2nd capacity line 3b. However, before depositing an insulator layer in this way, the 1st interlayer insulation film 81 which has two or more layer structure which is high pressure-proofing, forms an oxide film with few [it is comparatively thin and] defects, and blows it including the oxide film to apply may be formed using the elevated-temperature process on the TFT array substrate 10 which consists of a quartz substrate etc. [0074] Next, as shown in the process (10) of drawing 5, the contact hole 83 for connecting electrically

the barrier layer 80 and high concentration drain field 1e is punctured to the 1st interlayer insulation film 81 by dry etching, such as reactive ion etching and reactant ion beam etching. The contact hole 85 for connecting the 1st capacity line 82 and 2nd capacity line 3b to this and coincidence can be punctured. Since such dry etching has high directivity, it can puncture the contact hole 83 of a small path, and 85. Or wet etching may be used together. This wet etching is effective also from a viewpoint which gives the taper for taking connection more electric to fitness to a contact hole 83.

[0075] Next, as well as 1st light-shielding film 11a, as shown in the process (10) of drawing 5, after depositing the metal alloy film or polish recon film, such as Ti, Cr, W, Ta, Mo, and Pb, with sputtering or a CVD method, the barrier layer 80 is formed by the photolithography and etching processing all over high concentration drain field 1e looked into through the 1st interlayer insulation film 81 and a contact hole 83, or 85. [, such as metal metallurgy group silicide,] 2nd capacity line 3b looked into through this simultaneously the 1st interlayer insulation film 81, and a contact hole 85 -- the 1st capacity line 82 is formed on the 2nd capacity electrode at least. In addition, on these barrier layers 80 and the 1st capacity line 82, in order to ease surface reflection, antireflection films, such as polish recon film, may be formed. Or the polish recon film may be formed in a lower layer, and the barrier layer 80 and the 1st capacity line 82 may be formed in the upper layer from multilayers like the refractory metal film. Thus, if the polish recon film is formed in a lower layer, semi-conductor layer 1a and connection electric still better can be taken.

[0076] Next, as shown in the process (11) of drawing 5, the 2nd interlayer insulation film 4 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. so that a top face with the level difference in the layered product which consists of the 1st capacity line 82, the 1st interlayer insulation film 81, and a substrate insulator layer 12 may be covered. In addition, in parallel to this heat baking, it gets mixed up, and in order to activate semi-conductor layer 1a, about 1000-degree C heat treatment may be performed.

[0077] Next, on the 2nd interlayer insulation film 4, as shown in the process (13) of drawing 5, after depositing low resistance metal membrane metallurgy group silicide film, such as aluminum film, on the thickness of about 100-500nm by sputtering etc., data-line 6a is formed according to a photolithography process, an etching process, etc. Next, the contact hole 5 to data-line 6a is punctured to the 2nd interlayer insulation film 4, the 1st interlayer insulation film 81, and the insulating thin film 2, data-line 6a is formed by sputtering etc. on it from low resistance metal membrane metallurgy group silicide film, such as aluminum film with a thickness of about 100-500nm, and it forms with a CVD method etc. on it like the 2nd interlayer insulation film 4 which mentioned above the 3rd interlayer insulation film 7.

[0078] Then, the 2nd contact hole 84 is punctured by etching to the 3rd interlayer insulation film 7 and the 2nd interlayer insulation film 4, and pixel electrode 9a which becomes the last from the ITO film is formed so that the barrier layer 80 and electric connection can be taken through the 2nd contact hole 84. In especially this process (12), the contact hole for connecting with wiring which illustrates neither scanning-line 3a nor 2nd capacity line 3b in a substrate boundary region at the time of puncturing of a contact hole 5 is also good for the 3rd interlayer insulation film 7 or the 2nd interlayer insulation film 4 to puncture to coincidence. Moreover, about 100-500nm data-line 6a is preferably deposited on about 300nm, and the 3rd interlayer insulation film 7 is good to deposit on about about 500-1500nm. Moreover, although what is necessary is just to form contact hole 8b by dry etching, such as reactive ion etching and reactant ion beam etching, wet etching may be used for it in order to make it the shape of a taper. Furthermore, pixel electrode 9a is good to deposit on the thickness of about about 50-200nm. In addition, when using the electro-optic device concerned with a reflective mold, pixel electrode 9a may be formed from an opaque ingredient with the high reflection factor of aluminum film etc.

[0079] As explained above, according to the manufacture process of this operation gestalt, the electro-optic device of this operation gestalt mentioned above can be manufactured comparatively easily. In addition, since TFT30 for pixel switching can form semi-conductor layer 1a by the polish recon film, it is

also possible to be the same process mostly and to form a circumference circuit at the time of formation of TFT30 for pixel switching.

[0080] In addition, in the manufacture process explained above, CMP processing for carrying out flattening of the front face of the 3rd interlayer insulation film 7 in which the 2nd interlayer insulation film 4 or pixel electrode 9a in which data-line 6a is formed is formed etc. may be performed. Or it etches into the predetermined field of the TFT array substrate 10 beforehand, and a concave hollow is formed, by performing a subsequent process similarly, as a result, flattening of the front face of the 3rd interlayer insulation film 7 may be made to be carried out, and it may hollow and form the 2nd interlayer insulation film 4 or the substrate insulator layer 12 in a concave.

[0081] Since the 1st capacity line 82 which has the function which forms the capacity line 300 in drawing 1 into low resistance, and a function as a light-shielding film, and the barrier layer 80 which has the function which carries out trunk connection of between TFT30 and pixel electrode 9a consist of the same film as mentioned above according to the manufacture approach of this operation gestalt, both can be formed in coincidence according to the same process.

[0082] (The 2nd operation gestalt) Next, with reference to drawing 6 and drawing 7, the 2nd operation gestalt of the electro-optic device of this invention is explained. Drawing 6 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed here adjoins each other, and drawing 7 is the A-A' sectional view of drawing 6. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 7. Moreover, in drawing 6 and drawing 7, the same reference mark is given to the same component as drawing 2 and drawing 3, and the explanation is omitted.

[0083] As shown in drawing 6 and drawing 7, with the 2nd operation gestalt, compared with the 1st operation gestalt, the island-like barrier layer 180 is formed comparatively greatly, and contains the part which functions as the 3rd capacity electrode by which opposite arrangement was carried out with 2nd capacity line 3b. And the three-dimensional storage capacitance 70 is built from the 1f of the 1st capacity electrodes, 2nd capacity line 3b, and the 3rd capacity electrode concerned. Moreover, the 1st capacity line 182 which consists of the same refractory metal film as the barrier layer 180 etc. is small formed corresponding to the barrier layer 180 having become large. Furthermore, in order to increase storage capacitance 70, the thickness of the 1st interlayer insulation film 81 may be set up so that it may be set to 500nm or less. Thus, by carrying out the laminating of the capacity electrode, storage capacitance 70 can be efficiently increased in a small field, and high numerical aperture-ization which is a pixel is attained. Furthermore, since-izing of the capacity line can be carried out [low ****] by the 1st capacity line 82, even if storage capacitance 70 becomes large, there is no generating of a cross talk etc., and the electro-optic device in which a high contrast ratio is shown can be realized. In addition, what is necessary is just to wire so that it may see near channel field 1a' superficially and may not lap with it since actuation of TFT30 will be affected if the 1st capacity line 180 is formed near channel field 1a' when the 1st interlayer insulation film 81 is thin-film-ized. About other configurations, it is the same as that of the case of the 1st operation gestalt.

[0084] With each operation gestalt explained above, although it is elongating in the direction of scanning-line 3a, the 1st capacity line 82 (or 182) may make it project also in the direction of data-line 6a, and may form storage capacitance 70 between the 1st capacity lines 82 (or 182) in a data-line 6a lower part.

[0085] It is also possible to replace the 1st capacity line 180 or 182 with 2nd capacity line 3b, or to constitute it from each operation gestalt explained above as redundancy wiring of scanning-line 3a in addition.

[0086] (The whole electro-optic device configuration) The whole electro-optic device configuration in each operation gestalt constituted as mentioned above is explained with reference to drawing 8 and drawing 9. In addition, drawing 8 is the top view which looked at the TFT array substrate 10 from the

opposite substrate 20 side with each component formed on it, and drawing 9 is the H-H' sectional view of drawing 8 R> 8.

[0087] In drawing 8, on the TFT array substrate 10, the sealant 52 is formed along the edge and the 3rd light-shielding film 53 as a frame which specifies the circumference of image display field 10a which consists of an ingredient which is the same as the 2nd light-shielding film 23, or is different is formed in parallel to the inside. The data-line drive circuit 101 and the external circuit connection terminal 102 which drive data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 which drives scanning-line 3a is formed along with two sides which adjoin this one side by supplying a scan signal to scanning-line 3a to predetermined timing. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [the scanning-line drive circuit 104] cannot be overemphasized. Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of image display field 10a. For example, the data line of an odd number train supplies a picture signal from the data-line drive circuit arranged along one side of an image display field, and you may make it the data line of an even number train supply a picture signal from the data-line drive circuit arranged along the side of the opposite side of said image display field 10a. Thus, if it is made to drive data-line 6a in the shape of a ctenidium, since the occupancy area of the data-line drive circuit 101 is extensible, it becomes possible to constitute a complicated circuit. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of image display field 10a is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the flow material 106 for taking a flow electrically between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 9, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 8 has fixed to the TFT array substrate 10 by the sealant 52 concerned.

[0088] In addition, on the TFT array substrate 10, the inspection circuit for inspecting the sampling circuit which impresses a picture signal to two or more data-line 6a to predetermined timing, the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, the quality of the electro-optic device concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed.

[0089] You may make it connect with LSI for a drive mounted on the TAB (Tape Automated bonding) substrate instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with each operation gestalt explained with reference to drawing 9 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed LiquidCrystal) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0090] Since the electro-optic device in each operation gestalt explained above is applied to a projector, the electro-optic device of three sheets will be respectively used as a light valve for RGB, and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each light valve as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a in which the 2nd light-shielding film 23 is not formed on the opposite substrate 20 with the protective coat. If it does in this way, the electro-optic device in each operation gestalt is applicable about the color electro-optic

device of direct viewing types other than a projector, or a reflective mold. Moreover, a micro lens may be formed so that it may correspond 1 pixel on [one] the opposite substrate 20. Or it is also possible to form a color filter layer in the bottom of pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, a bright electro-optic device is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, a brighter color electro-optic device is realizable. [0091] This invention is not restricted to each operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole specification, and the electro-optic device accompanied by such modification is also contained in the technical range of this invention.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes the image display field in the electro-optic device of the 1st operation gestalt of this invention, such as various components and wiring.

[Drawing 2] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the electro-optic device of the 1st operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 3] It is the A-A' sectional view of drawing 2.

[Drawing 4] It is process drawing (the 1) showing order for the manufacture process of the electro-optic device of the 1st operation gestalt later on.

[Drawing 5] It is process drawing (the 2) showing order for the manufacture process of the electro-optic device of the 1st operation gestalt later on.

[Drawing 6] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the electro-optic device of the 2nd operation gestalt of this invention, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 7] It is the A-A' sectional view of drawing 6.

[Drawing 8] It is the top view which looked at the TFT array substrate in the electro-optic device of each operation gestalt from the opposite substrate side with each component formed on it.

[Drawing 9] It is the H-H' sectional view of drawing 8.

[Description of Notations]

1a -- Semi-conductor layer

1a' -- Channel field
1b -- Low concentration source field
1c -- Low concentration drain field
1d -- High concentration source field
1e -- High concentration drain field
1f -- The 1st capacity electrode
2 -- Insulating thin film
3a -- Scanning line
3b -- The 2nd capacity line
4 -- The 2nd interlayer insulation film
5 -- Contact hole
6a -- Data line
7 -- The 3rd interlayer insulation film
8 -- Contact hole
9a -- Pixel electrode
10 -- TFT array substrate
12 -- Substrate insulator layer
16 -- Orientation film
20 -- Opposite substrate
21 -- Counterelectrode
22 -- Orientation film
23 -- The 2nd light-shielding film
30 -- TFT
50 -- Liquid crystal layer
70 -- Storage capacitance
80,180 -- Barrier layer
81 -- The 1st interlayer insulation film
82,182 -- The 1st capacity line
83, 84, 85 -- Contact hole
300 -- Capacity line

[Translation done.]